

GRADO EN INGENIERÍA EN TECNOLOGÍA INDUSTRIAL

TRABAJO FIN DE GRADO

ALGORITMO DE DETECCIÓN DE FALTAS DE RESOLVER DE ALTA VELOCIDAD PARA PLATAFORMA DE PROTOTIPADO RÁPIDO DE CONTROL

Alumna: Perez Odriozola, Nerea

Director: Ibarra Basabe, Edorta

Curso: 2017-2018

Fecha: 12 de Julio de 2018

RESUMEN:

En las últimas décadas, el aumento de la conciencia medioambiental ha puesto de relieve la necesidad de energías cada vez más limpias. Esta transición energética en curso, busca reducir de forma drástica las emisiones de agentes contaminantes. En el sector de la automoción esto pasa por una mayor implantación de los vehículos eléctricos. En las próximas décadas viviremos un crecimiento exponencial en la producción y comercialización de vehículos ‘limpios’.

El vehículo eléctrico funciona con un motor de tracción que requiere conocer, en cada momento, la posición angular del rotor de forma precisa, para poder realizar un control del sistema adecuado y eficiente. El *resolver* es el dispositivo de medida más utilizado para cumplir esta función.

El resolver es un sensor de posición robusto que habitualmente se usa en situaciones donde la seguridad es crítica y en aplicaciones que requieren un control de par del motor que exige precisión y alta resolución sobre la posición y/o la velocidad. Para aumentar la fiabilidad y efectividad de este tipo de sistemas es necesario contar con un esquema de detección de faltas que vigila el correcto funcionamiento del resolver y garantiza, así, la seguridad de los componentes del vehículo eléctrico y de sus pasajeros.

Este proyecto se ha centrado en el diseño, la modelización y la simulación del algoritmo de detección de faltas de resolver. Para ello, se ha utilizado el software Matlab/Simulink y, una vez validada su funcionalidad, se ha realizado la implementación y validación del algoritmo mediante Xilinx System Generator para su futura aplicación en un dispositivo digital de alta velocidad, como puede ser una FPGA.

Palabras clave: Vehículo eléctrico; Resolver; Detección de faltas; FPGA.

LABURPENA:

Azken hamarkadetako ingurune kontzientziaren hazkundeak energia garbiagoak sustatzeko beharra agerian utzi du. Abian jarri den trantsizio energetikoak kutsadura eragileen isurketak murriztea du helburu nagusia. Horrexegatik autogintzan kotxe elektrikoak gero eta gehiago garatu eta ekoizten ari dira.

Ibilgailu elektrikoak trakzio motor bat darabil eta honek errotorearen angelu kokapena zehazki ezagutzea eskatzen du uneoro, sistemaren kontrola egoki eta eragingarri izan dadin. Helburu hori betetzeko *resolver*-a da neurgailurik erabiliena.

Segurtasun une kritikoetan erabili ohi den kokapen sentsoare sendoa da resolver-a. Motorreko torkearen kontrola zehatza eskatzen duten aplikazioetan, kokapenaz eta abiaduraz, erresoluzio handiko informazioa ematen du. Dispositibo hauen fidagarritasuna eta eraginkortasuna handitzeko, akatsak igertzeko detektorea jartzen da, ibilgailu elektrikoaren segurtasuna bermatzeko.

Akatsak igertzeko algoritmoaren eredua finkatu eta simulatu da gure proiektuaren muina. Horretarako Matlab/Simulink softwarea erabili dugu. Behin eraginkortasuna egiaztatu ondoren. Xilinx System Generator-ren bitartez algoritmoa balidatu eta abian jarri dugu. Geroan abiadura handiko dispositibo digital batean jartzeko, FPGA batean kasu.

Gako-hitzak: Ibilgailu elektrikoa; Resolver; Akats detectorea; FPGA.

ABSTRACT:

In the last decades, the increase in environmental awareness has highlighted the need for cleaner energies. This ongoing energy transition seeks to drastically reduce emissions of pollutants. In the automotive sector, this involves a higher implementation of electric vehicles. In the coming decades we will experience an exponential growth in the production and commercialization of 'clean' vehicles.

The electric vehicle works with a traction electric machine that requires knowing the angular position of the rotor in a precise way, in order to be able to carry out an accurate and efficient control of the system. The resolver is the most used measuring device to fulfil this function.

The resolver is a robust sensor for rotary feedback that is commonly used in harsh environment situations where safety is critical and in applications where precision and high resolution over position and/or speed is needed. To increase the reliability and effectiveness of this type of systems, it is necessary to have a fault detection scheme that monitors the correct operation of the resolver and thus guarantees the safety of the components of the electric vehicle and its passengers.

This Project has been focused on the design, modelling and simulation of the resolvers fault detection algorithm. For this purpose, the Matlab / Simulink software has been used and once the functionality has been validated, the algorithm has been implemented and validated using the Xilinx System Generator for its future application in a high-speed digital device, such as an FPGA.

Key words: Electric vehicle; Resolver; Fault detection; FPGA.

Índice

1. INTRODUCCIÓN	10
2. CONTEXTO	13
3. OBJETIVOS Y ALCANCE DEL PROYECTO	16
4. ESTADO DEL ARTE.....	17
4.1. Introducción a los sistemas de medida de velocidad y posición de las máquinas eléctricas	17
4.2. El resolver y sus fundamentos de operación	18
4.3. Tipos de error en los resolvers	20
4.4. Algoritmo de detección de errores en resolvers.....	21
5. MODELADO Y SIMULACIÓN DEL ALGORITMO EN MATLAB/SIMULINK	24
5.1. Modelo general de simulación.....	24
5.2. Modelo de detección de faltas en Matlab-Simulink	26
5.3. Resultados del modelo	29
5.4. Conclusiones.....	34
6. SIMULACIÓN DE LA TÉCNICA IMPLEMENTADA MEDIANTE EL TOOLBOX XILINX SYSTEM GENERATOR (XSG).	35
6.1. Modelo general de simulación.....	35
6.2. Modelo de detección de faltas en XSG	37
6.3. Resultados de simulación del modelo implementado en XSG.....	39
6.4. Conclusiones.....	42
7. METODOLOGÍA SEGUIDA EN EL DESARROLLO DEL TRABAJO	43
7.1. Descripción de tareas, fases, equipos o procedimientos.....	43
7.2. Diagrama de Gantt	45
8. ASPECTOS ECONOMICOS.....	46
9. CONCLUSIONES.....	47
10. BIBLIOGRAFÍA	48

Índice de figuras

Figura 1. Fuentes emisoras de GEI en España en 2014.....	10
Figura 2. Previsión de crecimiento del mercado de los vehículos eléctricos entre los años 2016 a 2030 (3).....	11
Figura 3. Esquema de Funcionamiento de un Vehículo Eléctrico puro (7).....	12
Figura 4. Arquitectura del dispositivo digital OP4510.	15
Figura 5. Encoder rotativo y diagrama de componentes (16).	17
Figura 6. Componentes del resolver (17)	18
Figura 7. Esquema de un resolver (12).	19
Figura 8. Indicadores de falta del resolver.....	22
Figura 9. Diagrama de bloques del algoritmo de detección de ángulo basado en PLL (21).	23
Figura 10. Modelo general de simulación.....	24
Figura 11. Detalle del bloque de determinación de ángulo.....	25
Figura 12. Esquema de la señal error.....	26
Figura 13. Modelo de diagrama de detección de faltas.	26
Figura 14. Diagrama de bloques del cálculo de la señal monitor.	27
Figura 15. Señales de entrada y de salida del cálculo de la señal monitor.....	27
Figura 16. Diagrama de bloques de indicadores de falta.....	28
Figura 17. Diagrama de bloques para ignorar el transitorio.....	28
Figura 18. Diagrama de bloques del latch.....	29
Figura 19. Estado sin falta.	30
Figura 20. Fallo por circuito abierto.....	30
Figura 21. Grafica de fallo por circuito abierto.	31
Figura 22. Gráfica de fallo por valores desproporcionales.	32
Figura 23. Reestablecer situación no fallo.	32
Figura 24. Recuperación del sistema sin resetear.	33
Figura 25. Recuperación del sistema con reset.	34
Figura 26. Modelo general de simulación en XSG.	35
Figura 27. Diagrama de bloques del cálculo de la señal monitor en XSG.....	37
Figura 28. Sistema 'slice and reinterpret'.	37
Figura 29. Diagrama de bloques de indicadores de falta en XSG.	38
Figura 30. Diagrama de bloques para ignorar el transitorio en XSG.....	38
Figura 31. Diagrama de bloques del latch en XSG.	39
Figura 32. Estado sin falta en XSG.....	40
Figura 33. Grafica de fallo por circuito abierto en XSG.....	40
Figura 34. Gráfica de fallo por valores desproporcionales en XSG.....	41
Figura 35. Recuperación del sistema en XSG.	41
Figura 36. Diagrama de Gantt del proyecto.....	45

Índice de tablas

Tabla 1. Parámetros generales de la simulación.	25
Tabla 2. Especificaciones establecidas al inicio del proyecto para el sistema de determinación del ángulo de resolver en FPGA.	36
Tabla 3. Horas internas empleadas en la realización del proyecto.	46
Tabla 4. Inversiones realizadas en activos.	46
Tabla 5. Coste total del proyecto.	46

Nomenclatura

v_r	Señal de excitación (V)
v_{sin}	Señal de salida seno (V)
v_{cos}	Señal de salida coseno (V)
V_p o V_{exc}	Amplitud de la tensión de excitación (V)
ω o ω_{exc}	Velocidad angular de la señal de excitación (rad/s)
θ	Posición angular del rotor (rad)
θ_{est} o ϕ	Posición angular estimada (rad)
A_1	Amplitud del seno (V)
A_2	Amplitud del coseno (V)
TR	Ratio de transformación
T_{sim}	Periodo de simulación (s)
$T_{sawtooth}$	Periodo del diente de sierra (s)
T_{exc}	Periodo de excitación (s)
f_{exc}	Frecuencia de excitación (Hz)
f_{max_mot}	Frecuencia máxima del motor (Hz)

Acrónimos utilizados

GEI – Gases de Efecto Invernadero

RCP – Rapid Control Prototyping

ADC – Analog to Digital Converter

PHMS – Prognostic and Health Management System

AMFE – Análisis modal de fallos y efectos

PLL – Phased Locked Loop

GRS – Good Resolver Signal

DOS – Degradation of signal

LOS – Loss of signal

LOT – Loss of position tracking

XSG – Xilinx System Generator

1. INTRODUCCIÓN

En las últimas décadas, con el aumento exponencial de la población y la contaminación, la conciencia ambiental ha tomado gran fuerza en nuestra sociedad. Los problemas medioambientales como la contaminación y el calentamiento global por las emisiones de CO₂ han fomentado el estudio de sistemas de conversión de energía altamente eficientes.

En este contexto, el sector de transporte es el mayor contribuyente de gases de efecto invernadero, produciendo el 27% de las emisiones globales de CO₂. Particularmente, el transporte por carretera representa el 75% de las emisiones totales de transporte. En España, en 2014, el sector de transporte casi llegaba al 25% (1). Además, con la recuperación económica las emisiones de G.E.I no han hecho más que aumentar.

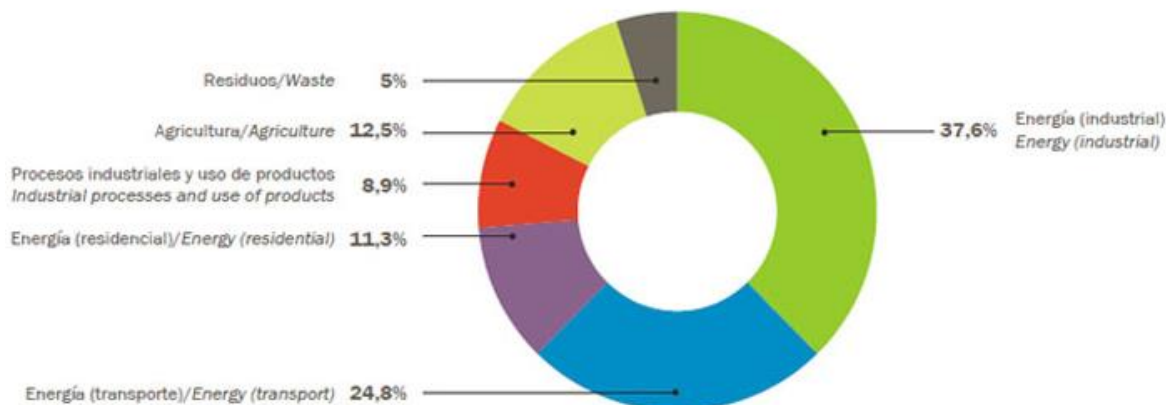


Figura 1. Fuentes emisoras de GEI en España en 2014.

Por esta razón, la industria de la automoción es uno de los sectores que está activamente involucrado en la reducción de dicha emisión. La electrificación del transporte por carretera está abriendo nuevas oportunidades y retos a los ingenieros mecánicos, electrónicos y de control en la industria automovilística (2). Con el propósito de ilustrar el futuro prometedor de la electrificación del vehículo eléctrico, la Figura 2 muestra las ventas previstas para los próximos años hasta el 2040, para el cual se prevé que los vehículos eléctricos supongan entre un 35%-47% de las ventas totales de nuevos vehículos.

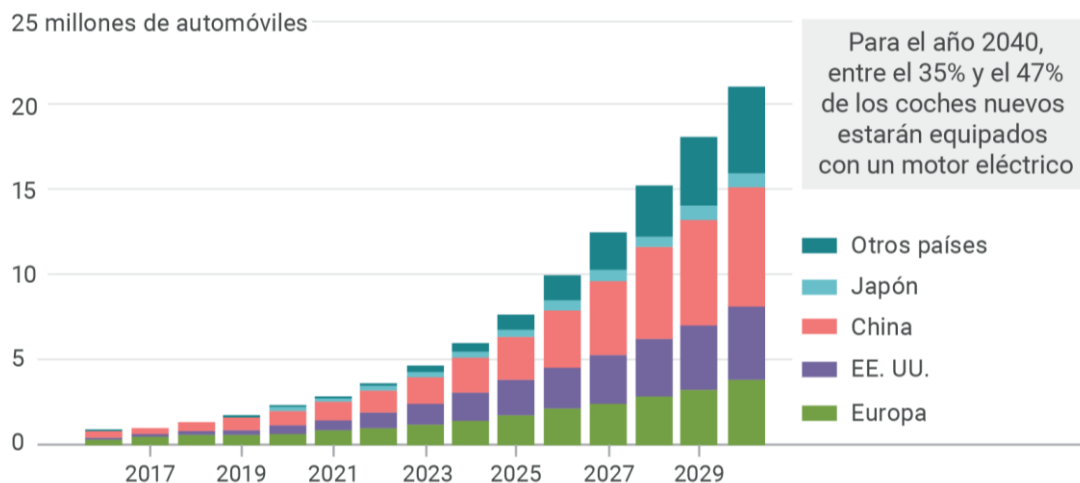


Figura 2. Previsión de crecimiento del mercado de los vehículos eléctricos entre los años 2016 a 2030 (3).

Los vehículos eléctricos tienen algunas ventajas con respecto a los vehículos de gasolina o diésel. Destaca que son más silenciosos y ligeros, y su montaje y fabricación es bastante más sencilla que el de los vehículos que incorporan motores tradicionales de combustión. Además ofrecen buena potencia tanto a altas como bajas revoluciones, y tienen capacidad de generar su propia electricidad gracias a características como el frenado regenerativo, que permite recargar la batería cuando se opera en este tipo de régimen de operación. Además de ello, sin duda, lo que hace destacar a un coche eléctrico son sus altos niveles de rendimiento y eficiencia energética. En general, un motor eléctrico puede llegar a ser hasta 6 veces más eficiente energéticamente que un motor a combustión (4).

Respecto a los niveles de contaminación, es el motor más limpio del mercado; sin contaminación atmosférica ni acústica directa, reduciendo la explotación de materias primas limitadas como el petróleo y con un coste por consumo muy inferior al de los carburantes fósiles (4).

En lo que a su vida útil se refiere, en teoría un vehículo eléctrico desarrollará el doble de kilómetros que uno tradicional antes de terminar su ciclo de vida. Por lo tanto, la alta eficiencia y fiabilidad es crucial, así como los bajos costes y la simplicidad de la construcción, los cuales son también deseables. Sin embargo, hoy en día, el gran inconveniente de esta tecnología es la limitada autonomía de sus baterías, la cual va extendiéndose año tras año (5).

La propulsión del vehículo eléctrico se efectúa utilizando la energía de una batería que, a su vez, se carga conectándola a la red eléctrica. Esta energía se consume mediante motores eléctricos, los cuales se controlan a partir de un convertidor de potencia. Este convertidor genera una corriente alterna en el devanado del motor eléctrico para conseguir la producción necesaria de par electromagnético y el movimiento del rotor del motor (6).

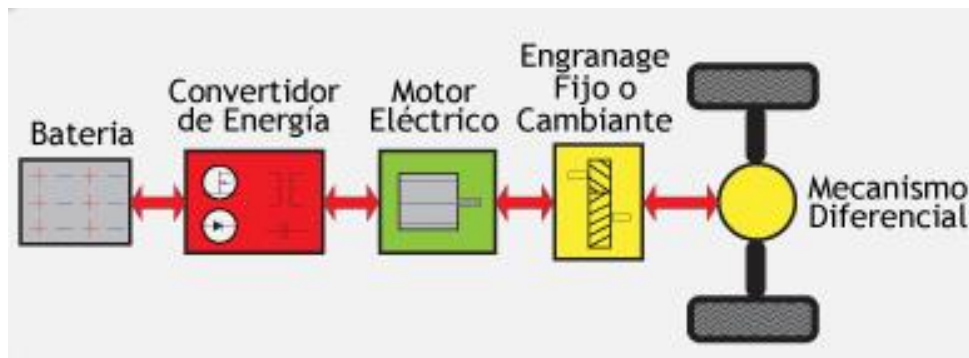


Figura 3. Esquema de Funcionamiento de un Vehículo Eléctrico puro (7).

Las máquinas eléctricas son uno de las componentes clave en los sistemas de propulsión de los vehículos eléctricos (8). (9), (10) , (11). Este tipo de máquinas eléctricas necesita conocer la posición del rotor de forma precisa y en cada momento para poder realizar un control del sistema adecuado y eficiente. Con ello se puede controlar la velocidad (si se activa el control de crucero), el par electromagnético y el modo de funcionamiento (motor o generador).

Considerando que la determinación de la posición eléctrica del rotor del motor se realiza generalmente mediante un resolver, ya que éstos son robustos y permiten su integración en entornos hostiles con altas temperaturas, vibraciones, etc. (12). Aunque en general se utilicen chips digitales para la implementación de los algoritmos de estimación del ángulo medido por el resolver, el uso de FPGAs (*Field Programmable Gate Array*) en los sistemas de control actuales es muy común. Además, este tipo de dispositivos también se utilizan comúnmente en sistemas de prototipado rápido de control (RCP, *Rapid Control Prototyping*), los cuales permiten acelerar el proceso de diseño de los algoritmos de control de este tipo de sistemas de potencia. En ambos casos, supone un ahorro de componentes y de recursos el uso de la FPGA para la implementación de las funcionalidades que desarrollan los chips *resolver-to-digital*.

En este sentido, este trabajo fin de grado se va a centrar en el uso de este tipo de dispositivos para garantizar la seguridad del sistema de propulsión mediante un detector de fallos de resolver preciso y de alta velocidad. Cabe destacar que este trabajo se ha realizado en paralelo con otros dos trabajos que han desarrollado el algoritmo de estimación de ángulo y un modelo de tiempo real de resolver virtual. Todos estos modelos y algoritmos se han desarrollado mediante la herramienta de diseño basado en modelos Xilinx System Generator (XSG) y han sido finalmente validados conjuntamente, demostrando la fiabilidad y la precisión de los bloques de diagnóstico y monitorización de faltas desarrollados en este trabajo en particular.

2. CONTEXTO

Este trabajo fin de grado se ha realizado en el grupo de investigación en electrónica aplicada APERT (Applied Electronics Research Team) de la UPV/EHU. Este grupo de investigación está formado principalmente por personal docente e investigador predoctoral y postdoctoral del Departamento de Tecnología Electrónica, además de estudiantes de grado y master de la Escuela de Ingeniería de Bilbao. Las principales actividades de investigación del grupo APERT son las siguientes:

- Colaboración en Proyectos de I+D financiados mediante convocatorias públicas de distintas administraciones.
- Proyectos de I+D bajo contrato para empresas o instituciones.
- Formación para empresas.
- Asesoría tecnológica, estudios técnicos o informes sobre distintos aspectos relacionados con las líneas de investigación del grupo APERT.
- Realización de Tesis Doctorales.
- Publicaciones en revistas internacionales y congresos.
- Realización de patentes.

En la actualidad, las líneas de investigación principales del grupo APERT son dos:

- **Circuitos reconfigurables y Systems-on-chip:**

Esta línea se basa en la utilización de FPGAs de nueva generación y de alta capacidad para integrar sistemas digitales en un único circuito integrado, así como hacer uso de la capacidad de reconfiguración de estos dispositivos: diseño orientado a síntesis, arquitecturas de interconexión de cores y técnicas de tolerancia a fallos. Dentro de esta línea de investigación se especializan en las siguientes ramas:

- Circuitos digitales de comunicaciones
- Circuitos digitales para industria 4.0

- **Circuitos de potencia y control para convertidores de energía:**

Esta línea de investigación está orientada al diseño y al estudio del comportamiento de los sistemas electrónicos de potencia utilizados en el proceso de generación, transformación y almacenamiento de energía eléctrica. En esta línea se analizan alternativas de convertidores avanzados distintas a las utilizadas tradicionalmente

En estos momentos dentro de esta línea de investigación se centran en las siguientes áreas:

- Electrónica para el sistema de propulsión del vehículo eléctrico: En esta línea se desarrollan mejoras en el rendimiento, el control y la refrigeración de los inversores y convertidores de potencia utilizados en la propulsión del vehículo eléctrico.
- Transmisión y distribución en corriente continua: En esta línea se desarrollan sistemas de transmisión y distribución de energía marina y otras aplicaciones mediante cables en corriente continua en distancias inferiores a 50 km en media tensión.

En concreto, este trabajo se enmarca en el equipo de investigación centrado en el diseño y desarrollo de los circuitos de control para convertidores de potencia. Concretamente, este trabajo fin de grado, junto con los otros dos trabajos anteriormente mencionados, pertenece a un proyecto de investigación que pretende desarrollar una plataforma RCP para sistemas de propulsión de vehículo eléctrico. El objetivo de esta plataforma de desarrollo flexible es la validación de algoritmos de control novedosos que permitan mejorar las prestaciones del sistema de propulsión del vehículo eléctrico.

El elemento central de la plataforma de prototipado rápido de control es un dispositivo digital de altas prestaciones. En este sentido, se dispone de un dispositivo digital RT-Lab OP4510 de OPAL-RT. Este dispositivo es un simulador digital de tiempo real compacto que facilita el desarrollo de entornos RCP (13).

En la Figura 4 se muestra la arquitectura del dispositivo la cual permite alcanzar periodos de simulación en tiempo real por debajo de 10 μ s para CPU y 200 ns para FPGA. Además, cuenta con un enlace rápido PCIe que intercambia datos y señales entre dispositivos permitiendo la co-simulación entre FPGA y CPU. Esto hace posible acoplar modelos basados en FPGA de alta velocidad a sistemas eléctricos y mecánicos más lentos en la CPU, proporcionando simulaciones aún más detalladas (14). Concretamente, el sistema de detección de faltas y monitorización se implementará en la FPGA del dispositivo para poder realizar la detección del fallo con un tiempo de respuesta de 200 ns, garantizando la seguridad de toda la plataforma experimental.

El algoritmo de detección de faltas realizado en este trabajo se ha desarrollado, implementado y validado en el entorno de simulación Matlab/Simulink mediante la herramienta de desarrollo XSG. El algoritmo de detección de faltas desarrollado es directamente aplicable a la plataforma RCP de APERT.

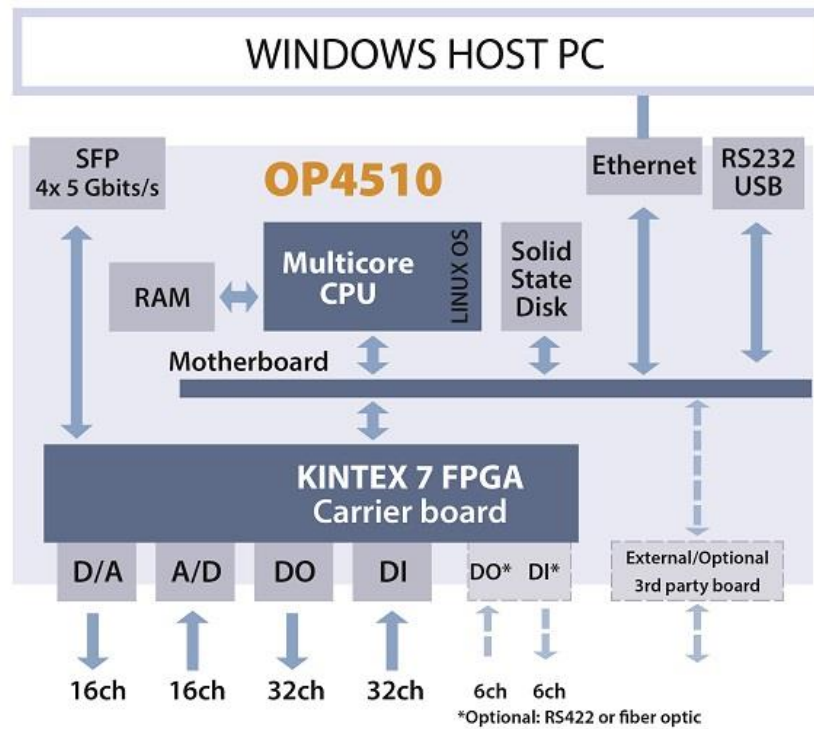


Figura 4. Arquitectura del dispositivo digital OP4510.

3. OBJETIVOS Y ALCANCE DEL PROYECTO

El **objetivo principal** de este trabajo fin de grado es el estudio, desarrollo, implementación y validación de estrategias de detección de fallos de resolver en dispositivos FPGA para su posterior uso en una plataforma de prototipado rápido de control y que garantice la seguridad y fiabilidad del sistema de propulsión de un vehículo eléctrico.

Los objetivos específicos que permiten la consecución del objetivo principal son los siguientes:

1. Revisión del estado de la tecnología referente a los resolvers, además del estudio de las técnicas de detección de faltas más comúnmente empleadas para este tipo de sistemas. Para ello, se utilizarán las bases de datos bibliográficas con suscripción que cuenta la UPV/EHU, tales como IEEEExplore y Scopus, además de hojas de fabricante, notas de aplicación y documentación relacionada.
2. Seleccionar el conjunto de algoritmos adecuados para la detección de los tipos de falta más comunes en resolvers para garantizar la seguridad de los pasajeros de los futuros vehículos eléctricos.
3. Desarrollar y validar en entorno Matlab/Simulink el algoritmo seleccionado, verificando mediante simulaciones el funcionamiento correcto del mismo.
4. Implementar el algoritmo previamente validado de forma experimental en FPGA mediante el toolbox Xilinx System Generator (XSG) en Matlab/Simulink para su validación experimental.
5. Validación del diseño realizado en XSG para su futura integración en la plataforma experimental.

Por lo tanto, el **alcance** del proyecto es el de **proveer al grupo de investigación APERT de un diseño hardware que cumpla con las necesidades de seguridad y rapidez de respuesta de la aplicación del vehículo eléctrico y que esté completamente validado para su futura integración en la plataforma experimental.**

4. ESTADO DEL ARTE

4.1. Introducción a los sistemas de medida de velocidad y posición de las máquinas eléctricas

Como se ha citado previamente en la introducción, para un control eficiente de las máquinas eléctricas, es necesario conocer la posición del rotor en cada instante de funcionamiento. Esta operación, además de ser de suma importancia para el funcionamiento correcto del sistema, también lo es para un funcionamiento seguro, tanto para el usuario como para el área próxima a la máquina.

En el control mediante un sensor dos de los dispositivos más utilizados son el **encoder** (sensor digital) y el **resolver** (sensor analógico).

El encoder (15) es un dispositivo electromecánico que permite codificar el movimiento mecánico en distintos tipos de impulsos eléctricos: digitales o analógicos. De esta manera, un encoder es una interfaz entre un dispositivo mecánico móvil y un controlador. Este dispositivo está compuesto por un disco codificado y un sensor (óptico, magnético, inductivo o capacitivo), de manera que, al rotar el disco, el encoder genera una señal codificada. Mediante esta señal es posible medir la velocidad (frecuencia de la señal) y la posición (codificación).

Existen dos tipos de encoder (15): lineales y rotativos, pero en el ámbito automovilístico se utilizan únicamente los rotativos, ya que el objetivo es medir la posición angular del rotor. Además, en función de la señal codificada, éstos se pueden clasificar en absolutos o incrementales. Los encoders incrementales no indican la posición específica, sólo indican si la posición ha cambiado. Estos generan dos señales que permiten calcular la posición partiendo de una posición conocida. Los encoders absolutos, por otra parte, proporcionan la posición en valor absoluto.



Figura 5. Encoder rotativo y diagrama de componentes (16).

Sin embargo, el resolver es el dispositivo de medida más utilizado. Su diseño simple y su falta de electrónica hacen de él un dispositivo mucho más resistente que casi cualquier otro de retroalimentación. Por esta razón, es la elección natural para ambientes duros como temperaturas extremas, alta vibración y choque, niveles de radiación elevados y contaminantes como suciedad, aceite o grasa (12). La gran mayoría de vehículos eléctricos actuales montan este tipo de sensores en los rotores de las máquinas eléctricas que los impulsan. En el siguiente apartado se explican los principios de operación de un resolver.

4.2. El resolver y sus fundamentos de operación

Un resolver es un transductor electromagnético analógico que es usado en máquinas rotativas para medir la posición y la velocidad angular. Debido a que es un dispositivo analógico y las salidas eléctricas son continuas a lo largo de una revolución mecánica completa, el resolver ofrece teóricamente resolución infinita. Se puede considerar que un resolver es un tipo de transformador rotativo que acopla el voltaje de un bobinado de entrada a dos bobinados de salida con una magnitud que varía en función de la posición angular (12).

Este dispositivo consiste en un rotor y un estator. El rotor está unido al eje de giro y se mueve con la carga, mientras que el estator permanece en estado estacionario. El bobinado primario se encuentra situado en el rotor y los dos bobinados secundarios en el estator, los cuales están situados a 90° entre sí. A un bobinado de salida se le denomina **bobinado seno** y al otro **bobinado coseno**.

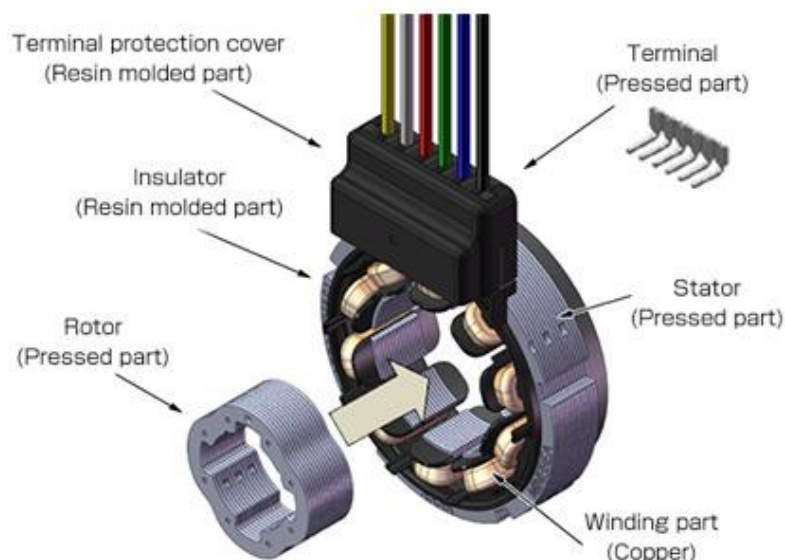


Figura 6. Componentes del resolver (17) .

El resolver cumple la función de descomponer la posición del rotor en dos vectores seno y coseno. Esto se consigue aplicando un voltaje de corriente alterna (AC) al bobinado primario (rotor) que se acopla inductivamente a los bobinados seno y coseno (estator). De esta manera, se genera un voltaje de salida que varía con el seno y el coseno de la posición angular (θ) del eje de entrada referenciada a un punto cero inicial. Las señales obtenidas deben demodularse para la extracción de la información del ángulo y la velocidad del eje para después digitalizarse con un ADC (Analog to Digital Converter). De forma práctica, la señal de entrada es modulada por la velocidad de giro, de tal forma que la envolvente de la señal de salida son el seno y el coseno del movimiento del eje.

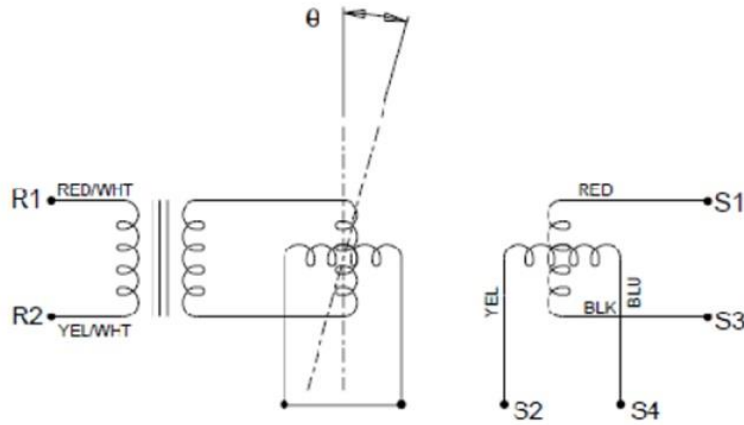


Figura 7. Esquema de un resolver (12).

Matemáticamente, la representación de la señal de referencia que se introduce en el bobinado primario es:

$$V_r = V_{R1} - V_{R2} = V_p \sin(\omega t), \quad (1)$$

donde ω es la velocidad angular de la señal de referencia y V_p es la amplitud de la tensión de entrada respectivamente.

Por su parte, las señales de salida en los devanados secundarios son los siguientes:

$$V_{\sin} = V_{S1} - V_{S3} = V_s \sin(\omega t + \tau) \sin(\theta), \quad (2)$$

$$V_{\cos} = V_{S2} - V_{S4} = V_s \sin(\omega t + \tau) \cos(\theta), \quad (3)$$

donde $V_s = V_p * TR$, siendo TR el radio de transformación, θ la posición angular del rotor y τ representa el cambio de fase entre las salidas y la excitación.

El número de los ciclos de seno y coseno generados por revolución mecánica depende del número de pares de polos (p) del resolver, normalmente entre uno y tres ciclos. Como p puede variar, las fórmulas se verán afectadas.

De acuerdo con la fórmula

$$\theta_{elec} = \arctan\left(\frac{V_{sin}}{V_{cos}}\right), \quad (4)$$

el ángulo eléctrico se calcula con las amplitudes de las tensiones de salida, mientras que la relación de fases entre las señales de salida y entrada determinará el signo del ángulo, con el cual se podrá saber la dirección de giro. El signo positivo representa un estado en fase y el negativo en anti-fase.

El error angular está definido por la diferencia de la posición eléctrica indicada y la posición angular mecánica:

$$\Delta\theta = \theta_{elec} - \theta_{mec} . \quad (5)$$

El error se debe, entre otros aspectos, al ruido o al retardo que meten los filtros utilizados para demodular las señales de salida. Esto supone una pérdida de precisión en las medidas realizadas.

Para concluir cabe resaltar la durabilidad “infinita” del resolver. Tiene un ensamblaje y mantenimiento simples. Además, no usa cojinetes y, como se ha citado previamente, tiene buena resistencia a ambientes duros. Esto hace que sea una elección fiable, pero debe de asegurarse su control y precisión, por ello es necesario prevenir los fallos que puede dar el sistema.

4.3. Tipos de error en los resolvers

La detección de faltas y la tolerancia a fallos son importantes no solo para la fiabilidad de un sistema móvil sino para que el vehículo actúe de forma correcta en una situación de fallo. Estos factores hacen que el desarrollo de sistemas de tipo “*Pronostic and Health Management System*” (PHMS) sea una opción atractiva para el aumento de la seguridad y comodidad en los vehículos eléctricos.

Estos métodos confían o tienen como punto de apoyo el “Análisis modal de fallos y efectos” (AMFE). Este análisis clasifica por su nivel de riesgo y prioridad las faltas. Se selecciona la degradación más crítica y la causa más probable de fallo dependiendo de sus consecuencias, con qué dificultad pueden ser localizadas y con qué frecuencia ocurren. Por último, la degradación del mecanismo que las ha causado es identificada y mejorada. Finalmente, la selección de los mecanismos de degradación se tiene en cuenta para el desarrollo de las estrategias PHMS para predecir los fallos del sistema. En general, la gran mayoría de los estudios se centran en los dispositivos semiconductores de potencia que componen la electrónica de potencia del sistema de propulsión y los propios bobinados del estator de la máquina.

Los sistemas de propulsión basados en máquinas síncronas automotoras requieren al menos un sensor de voltaje en corriente continua, dos o tres sensores de corriente y un resolver (o encoder)

para controlar correctamente su modo de actuación. Llevando a cabo un AMFE se deduce que el fallo de un sensor resolver involucraría consecuencias catastróficas, ya que proporciona la estimación de la posición del rotor, la cual es necesaria para un control adecuado en bucle cerrado.

Teniendo en cuenta los estándares de seguridad de vehículos de carretera funcionales (ISO26262), donde la seguridad ante los fallos de medida en posición y velocidad debe de estar asegurada, la detección de estas faltas es totalmente necesaria.

El resolver puede tener imperfecciones como desequilibrio de amplitud, cuadratura imperfecta y armónicos inductivos (18), pero esas imperfecciones se tienen en cuenta en la estimación que hace el sensor. El problema aparece cuando las faltas no son simples imperfecciones y afectan a la fiabilidad y efectividad del sistema, por ello necesitamos los indicadores que se desarrollarán en este trabajo.

Se distinguen 3 indicadores principales de faltas:

1. *Degradation of signal* (DOS).
2. *Loss of signal* (LOS).
3. *Loss of position tracking* (LOT).

El objetivo del sistema de monitorización de un resolver es el realizar un diagnóstico para poder determinar el mal funcionamiento del algoritmo/sistema de determinación del ángulo del resolver, identificando la falta entre uno de los indicadores principales anteriormente citados. Los tipos de falta potenciales del sistema pueden clasificarse en las siguientes (19):

- Devanado del resolver abierto o cortocircuitado.
- Fallo en las interconexiones.
- Faltas en componentes auxiliares.

4.4. Algoritmo de detección de errores en resolvers

El algoritmo de detección usado para identificar las faltas en el resolver se ha basado en la existencia de 3 indicadores principales de fallo como se ha dicho previamente. Para desarrollar esta técnica se genera una señal monitor, comparando el ángulo de posición registrado con las señales de seno y coseno provenientes del resolver (20).

Este método no es solo capaz de encontrar una anomalía numérica y detectar un fallo en el sistema, sino que es más flexible y permite detectar que tipo de fallo es el que ha ocurrido. La siguiente figura muestra las regiones de la señal de monitorización que permite determinar los distintos indicadores de falta que se usan para sacar conclusiones como, por ejemplo, si el resolver está operando correctamente o la posibilidad de que un devanado esté completamente o parcialmente cortocircuitado, abierto o haya algún otro tipo de fallo del resolver (18).

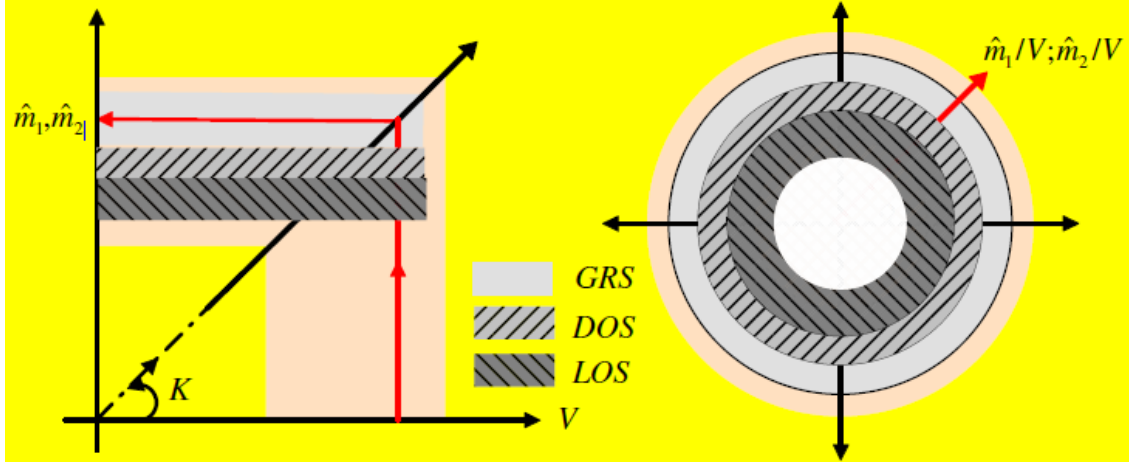


Figura 8. Indicadores de falta del resolver.

En este sentido, la señal monitor mencionada previamente se calcula del siguiente modo:

$$Monitor = A1 \times \sin \theta \times \sin \phi + A2 \times \sin \theta \times \cos \phi, \quad (6)$$

donde A1 y A2 son las amplitudes de seno y el coseno demodulados, θ es el ángulo del resolver y ϕ es el ángulo estimado.

La señal monitor será la que hará saltar los indicadores de falta DOS y LOS cuando salga de los valores GRS (*Good Resolver Signal*) predeterminados por los diseñadores del sistema.

En cuanto al indicador LOT, este último depende de la señal error proveniente del seguimiento del ángulo basado en PLL (el utilizado en el caso concreto de este trabajo y desarrollado en paralelo en otro trabajo fin de grado). Inicialmente, las señales de salida seno y coseno se demodulan y se obtienen sus envolventes, las cuales se multiplicarán por el coseno y seno de la posición angular obtenida, como puede observarse en la Figura 9. Estas dos señales se introducen a un comparador de error, donde se obtiene la señal de error, la cual usamos para activar el indicador LOT.

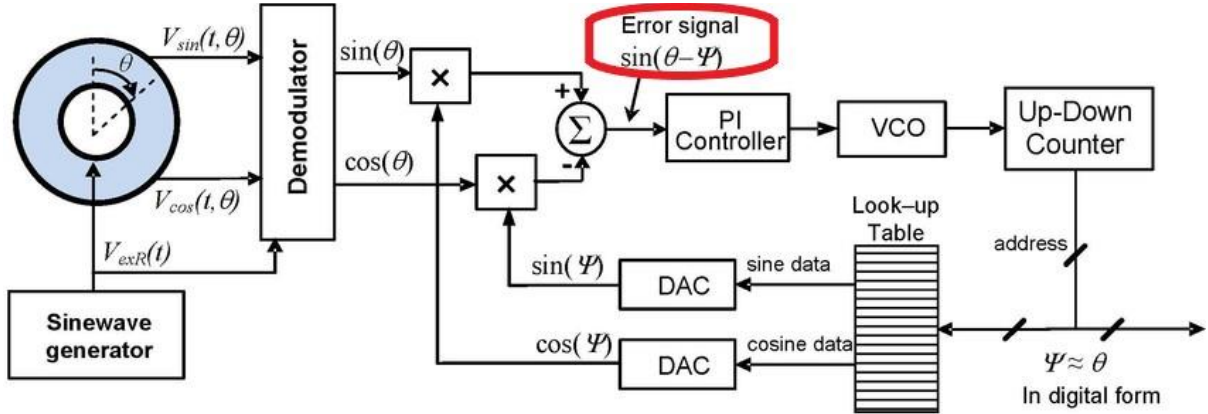


Figura 9. Diagrama de bloques del algoritmo de detección de ángulo basado en PLL (21).

Una vez comprendido el funcionamiento de la estrategia de detección de fallos, se pasa a la implementación de un modelo comportamental, el cual se expone a continuación, para la validación del mismo en un sistema *resolver-to-digital* completo.

5. MODELADO Y SIMULACIÓN DEL ALGORITMO EN MATLAB/SIMULINK

5.1. Modelo general de simulación

El modelo general consta de 3 bloques principales: El **resolver virtual** (Color amarillo), bloque de **estimación del ángulo** (Color azul) y el **detector de faltas** (Color lila). Además de los bloques, se puede observar que hay una señal inicial (*rotor sawtooth*), una serie de módulos generadores de ruido, los cuales se suman a las señales de salida del resolver virtual y emulan el comportamiento real del sistema de medida en un entorno ruidoso, y una variable *reset*, la cual permite poder inicializar el sistema de detección de faltas, tal y como se explicara más adelante. Justo antes de la adición del ruido se han insertado dos ganancias variables para poder manipular el modelo de mientras que está en funcionamiento y poder provocar faltas (circuito abierto y cortocircuito parcial y total) para comprobar la funcionabilidad del sistema.

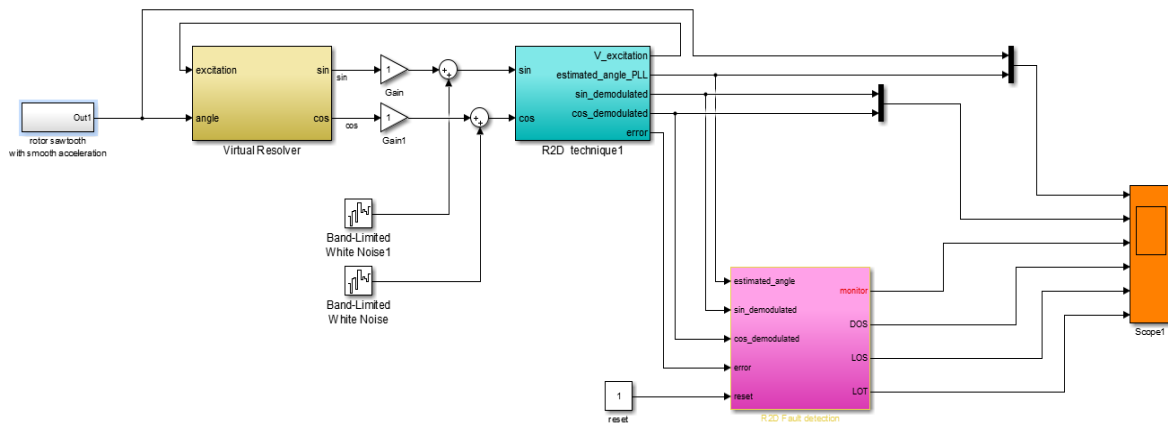


Figura 10. Modelo general de simulación.

Para analizar los modelos que se han simulado, es necesario producir las señales seno y coseno provenientes del resolver. Para ello, se ha integrado el modelo de un resolver virtual al que se le introduce una señal de excitación, desfasada $\pi/2$ y la posición angular inicial. Las señales seno y coseno se demodularán y utilizarán para la obtención de la posición angular y la velocidad angular.

En la pantalla de visualización (*scope*) se muestran las gráficas de los 3 indicadores de faltas, la señal monitor necesaria para esto, las señales seno y coseno demoduladas y la comparación del ángulo estimado con el ángulo real. Para poder llevar la simulación adelante, se han determinado los parámetros generales del sistema, los cuales se obtienen de las especificaciones del proyecto conjunto y se muestran en la Tabla 1.

Tabla 1. Parámetros generales de la simulación.

Periodo de simulación (T_{sim})	10^{-9} s
Periodo del diente de sierra ($T_{sawtooth}$)	0.02 s
Tensión de excitación ($V_{exc} = V_p$)	7 V
Velocidad angular de excitación (ω_{exc})	$2\pi \cdot 10^3$ rad/s
Periodo de excitación (T_{exc})	$2\pi/\omega_{exc}$ s
Frecuencia de excitación (f_{exc})	$1/T_{exc}$ Hz
Frecuencia máxima del motor (f_{max_mot})	1000 Hz
Frecuencia máxima del motor (TR)	0.5

Tanto las señales de seno y coseno demodulado, como la del ángulo estimado y el error (Figura 12) se extraen del bloque azul para utilizarlos como entradas, junto con una señal reset (modificable manualmente), en el bloque de detección de faltas donde las salidas serán los diferentes indicadores de fallo del sistema.

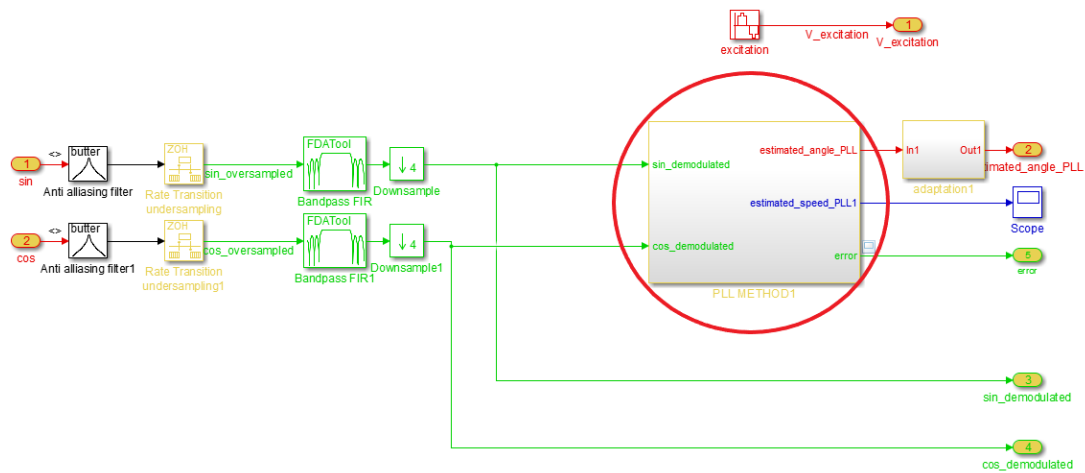


Figura 11. Detalle del bloque de determinación de ángulo.

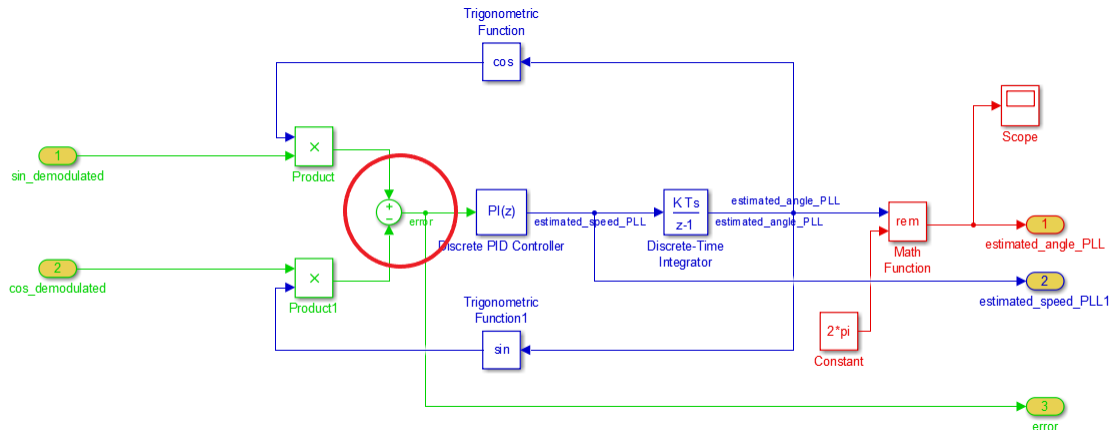


Figura 12. Esquema de la señal error.

5.2. Modelo de detección de faltas en Matlab-Simulink

El bloque de detección de faltas consta de dos bloques internos, una de los cuales es el encargado de determinar la señal monitor descrita en el estado del arte, que será la señal que al compararla con unos límites activará los indicadores DOS y LOS, y, el segundo bloque, el cual será responsable de comparar los indicadores con sus respectivos límites.

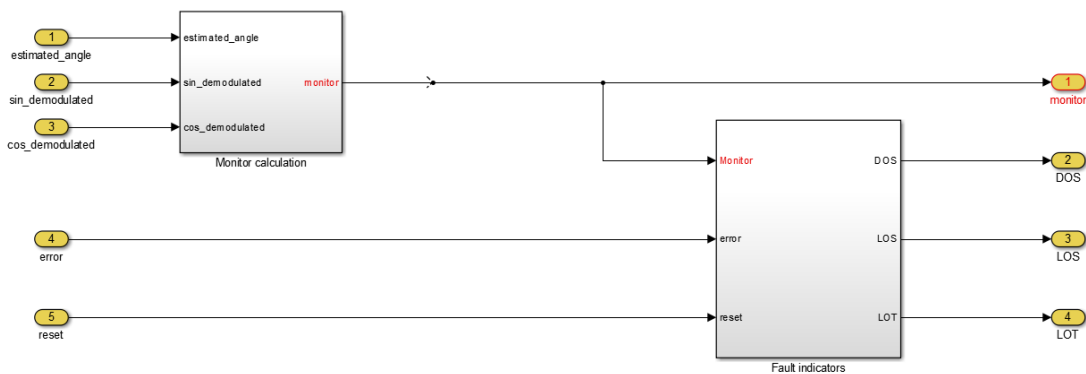


Figura 13. Modelo de diagrama de detección de faltas.

Para la obtención de la señal monitor, se ha hecho uso de la formula (6) previamente descrita, tal y como se puede observar en el diagrama de bloques de la Figura 14.

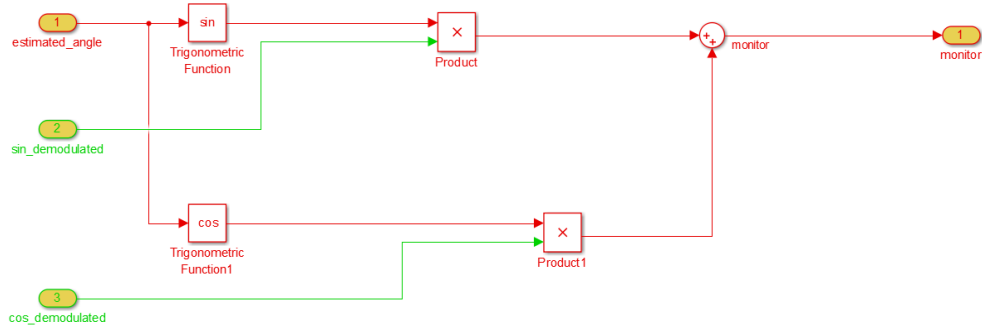


Figura 14. Diagrama de bloques del cálculo de la señal monitor.

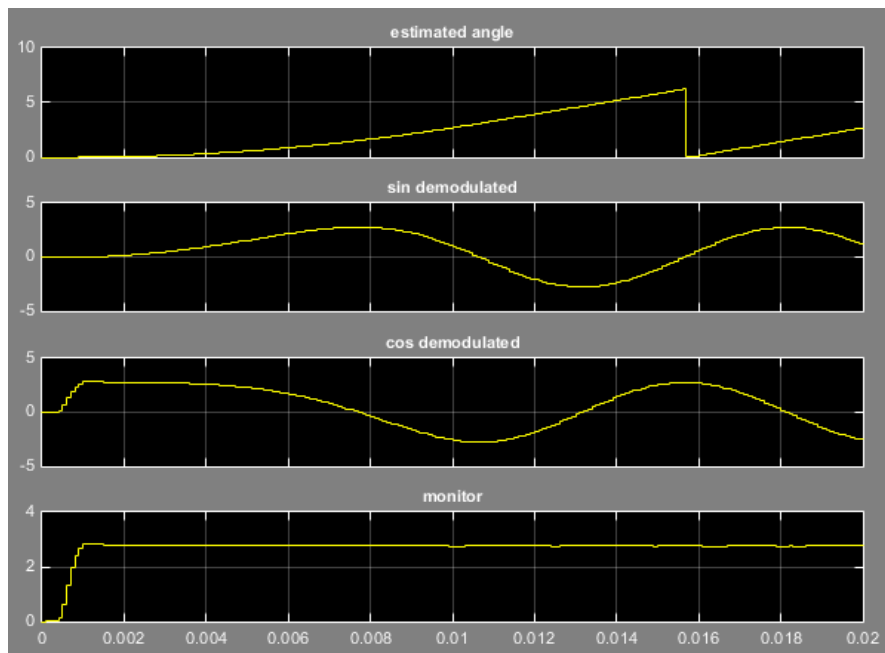


Figura 15. Señales de entrada y de salida del cálculo de la señal monitor.

Una vez obtenida la señal monitor, se introduce al segundo bloque donde se obtendrán los indicadores de faltas. Como se ha nombrado en el apartado teórico, un resolver puede fallar de diferentes maneras, los indicadores que se van a diferenciar son *Degradation of signal* (DOS), *Loss of signal* (LOS) y *Loss of track* (LOT).

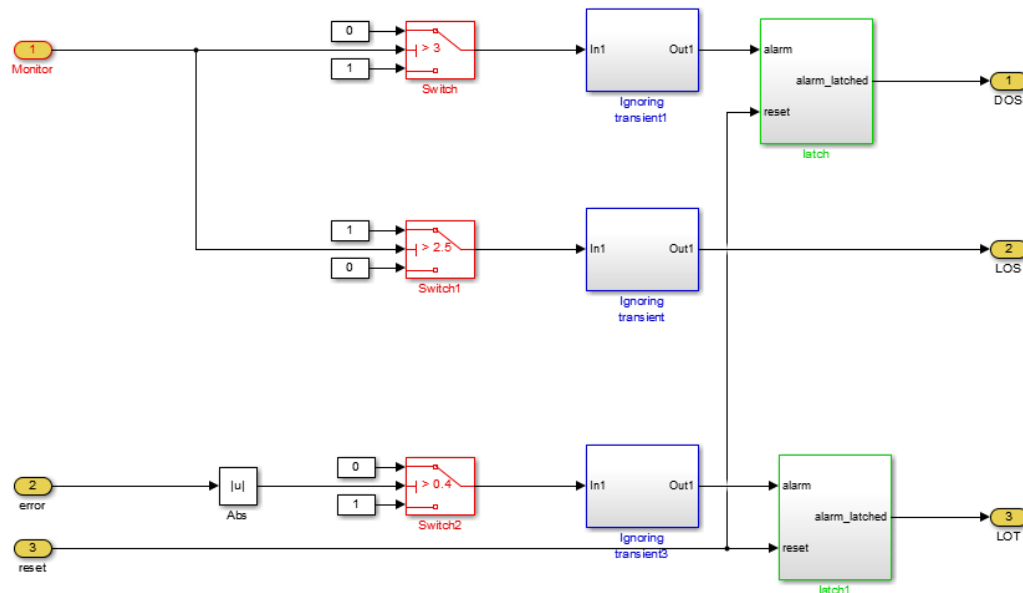


Figura 16. Diagrama de bloques de indicadores de falta.

La señal monitor se utiliza para activar los indicadores LOS y DOS, como bien se ha dicho previamente. Se ha fijado una tolerancia de ± 0.25 . Si la señal monitor crece más de lo debido, el indicador DOS se activara y, si la señal disminuye, se activara el indicador LOS. Los indicadores funcionan con lógica inversa, es decir, el valor 1 en binario indicará un estado de no fallo, y el valor 0 indicará un estado de fallo.

Tal y como se observa en la Figura 16, las señales están conectadas a un bloque (subrayado en azul en la figura), el cual sirve para ignorar el transitorio del sistema en el transitorio inicial del arranque del algoritmo. Mientras se desarrollaba el modelo se observó que el sistema daba falsos positivos debido a la falta de convergencia de la estimación en el inicio. Por ello se añade un bloque para ignorar el régimen transitorio del sistema (Figura 17). La siguiente figura muestra, en detalle, el contenido de dicho subsistema.

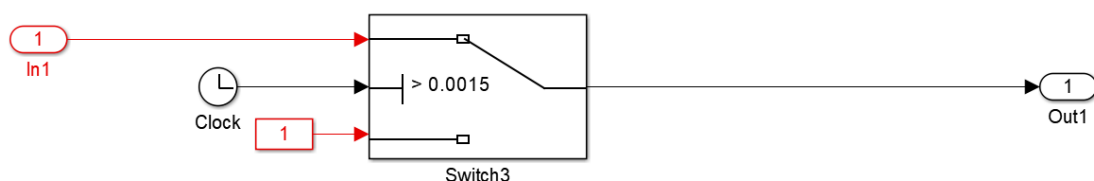


Figura 17. Diagrama de bloques para ignorar el transitorio.

Debido a requisitos de diseño, tanto la señal DOS como la LOT tienen que mantener sus posiciones de fallo aunque el sistema se recupere y únicamente se resetean a un estado de no falta (si es que el sistema ya se ha recuperado) cuando el usuario configura la entrada Reset (Figura 10) al valor binario 1. Esto se consigue con el bloque *Latch* de la Figura 18. En otras palabras, si la falta de la simulación se corrige, los indicadores DOS y LOT seguirán en el valor 0 de fallo hasta que el usuario introduzca un 1 en el puerto Reset.

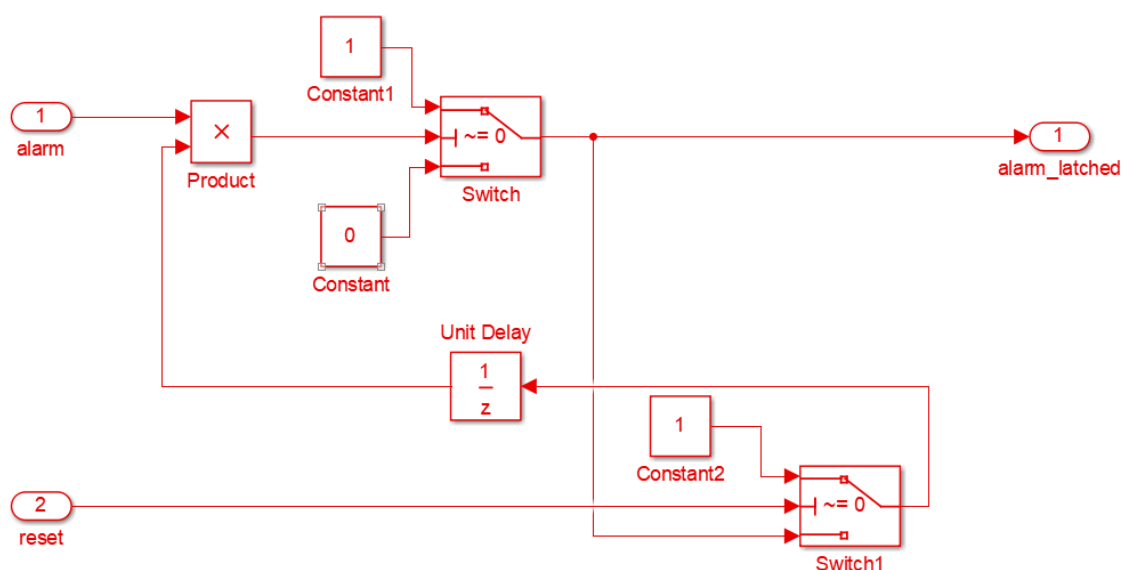


Figura 18. Diagrama de bloques del latch.

5.3. Resultados del modelo

A continuación, se mostraran diferentes graficas obtenidas en el modelo comportamental del sistema de monitorización con el sistema en estado normal o de fallo.

En primer lugar, en la Figura 19 se observa una simulación completa con el sistema en un modo de no falta, para tener una simulación de referencia a la hora de ejecutar diferentes modos de fallo y para verificar el correcto funcionamiento del sistema.

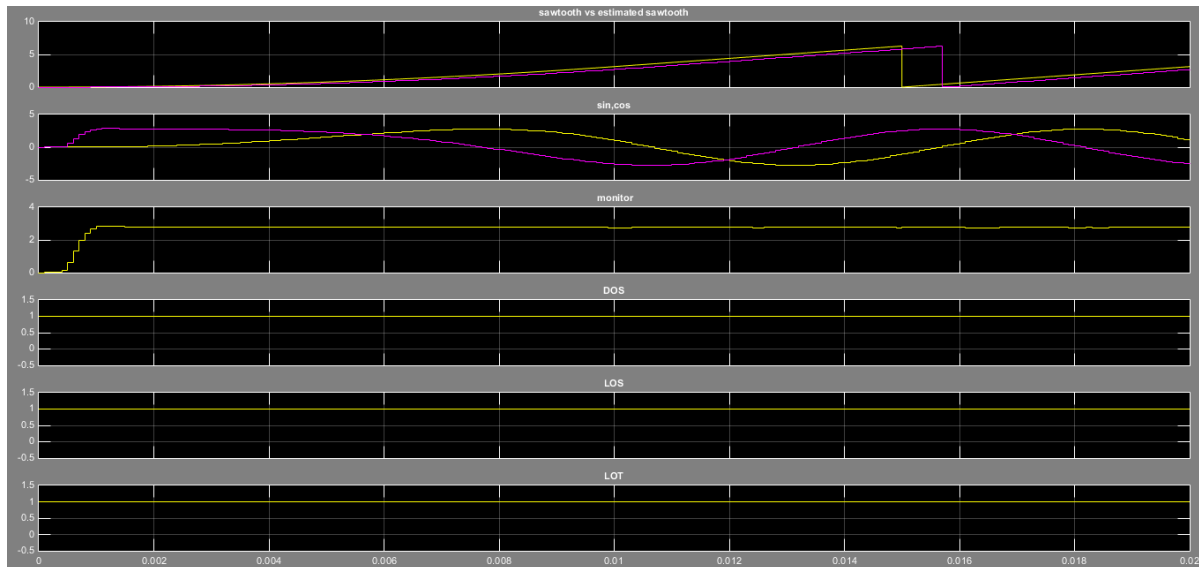


Figura 19. Estado sin falta.

Tal y como muestra la figura anterior, el algoritmo no determina ninguna de las 3 faltas posibles mientras que las desviaciones producidas en la señal monitor sean inferiores a las especificadas en el proyecto.

Volviendo a ejecutar la simulación y para verificar el correcto funcionamiento de la herramienta de monitorización, una vez pasado el estado transitorio del sistema, se provoca un circuito abierto en el cableado de la señal coseno de resolver.

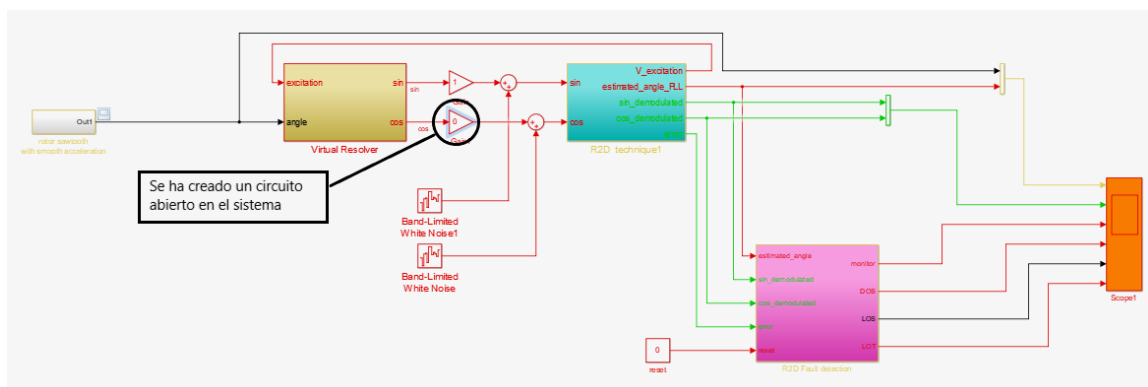


Figura 20. Fallo por circuito abierto.

En la Figura 21 se puede observar como la señal monitor se desestabiliza y desciende de forma brusca, provocando así que los indicadores LOS y LOT se activen.

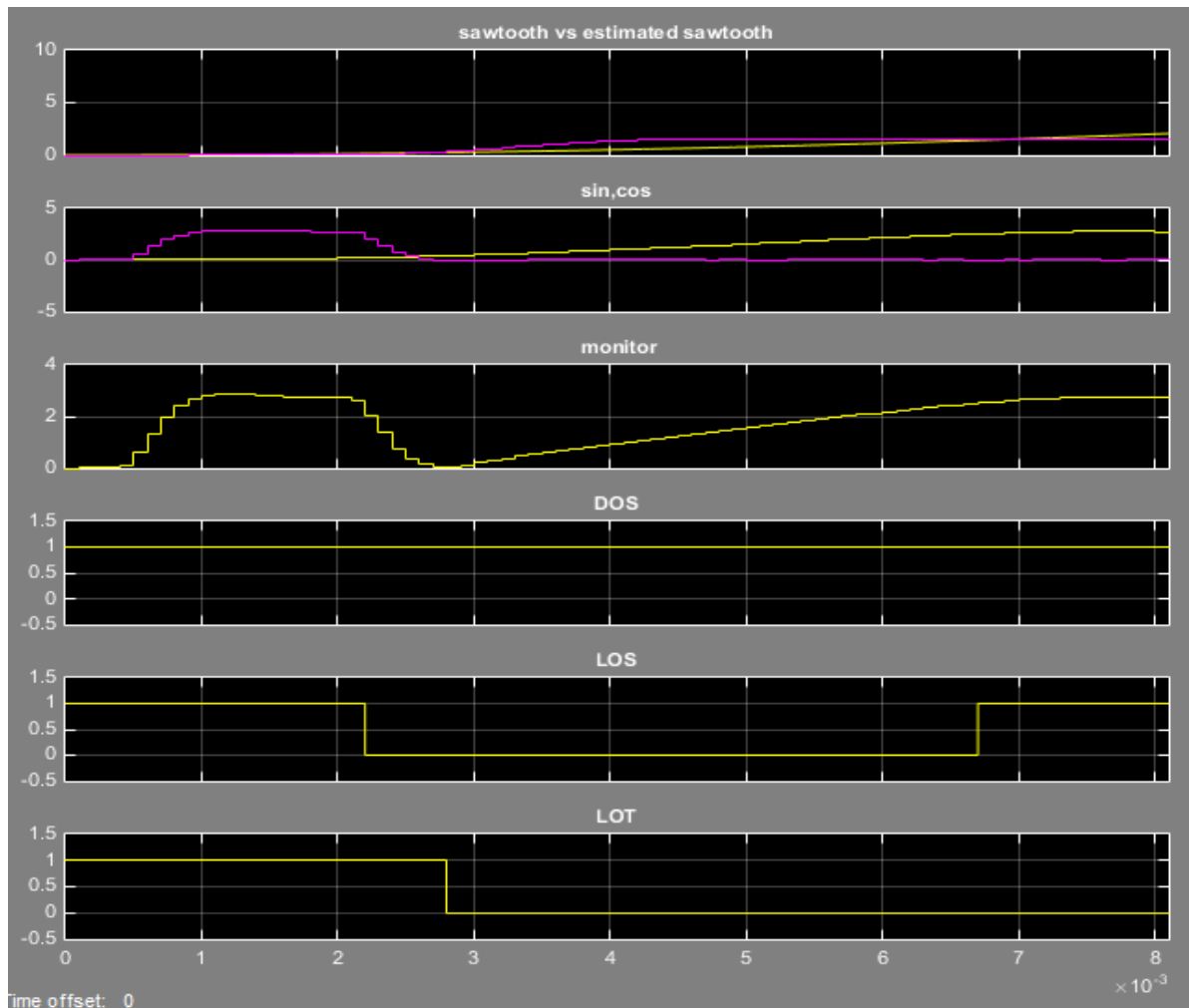


Figura 21. Grafica de fallo por circuito abierto.

Si se aumenta la ganancia que multiplica la señal coseno a unos valores desproporcionales, se crea otro estado distinto de falta. Se observa una pérdida de seguimiento del sistema y una gran desestabilización en toda la simulación.

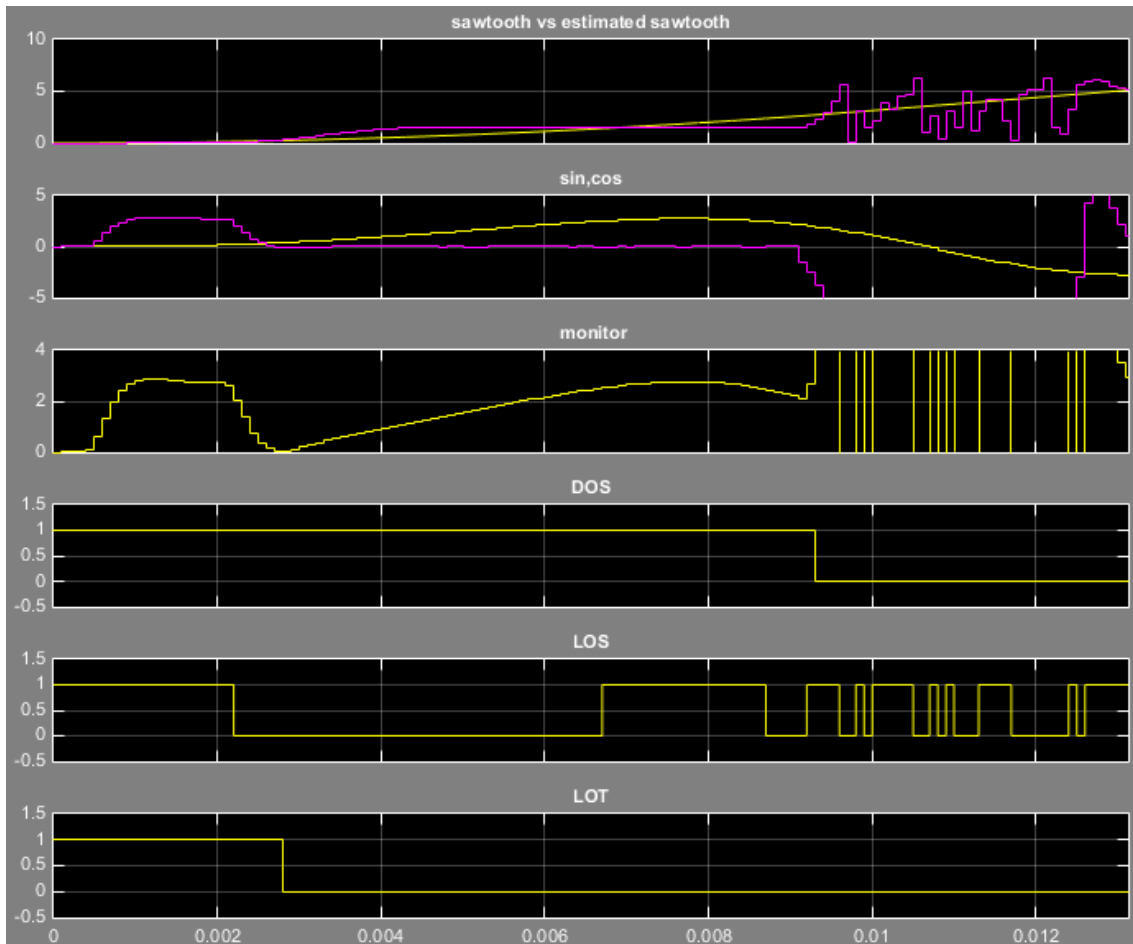


Figura 22. Gráfica de fallo por valores desproporcionales.

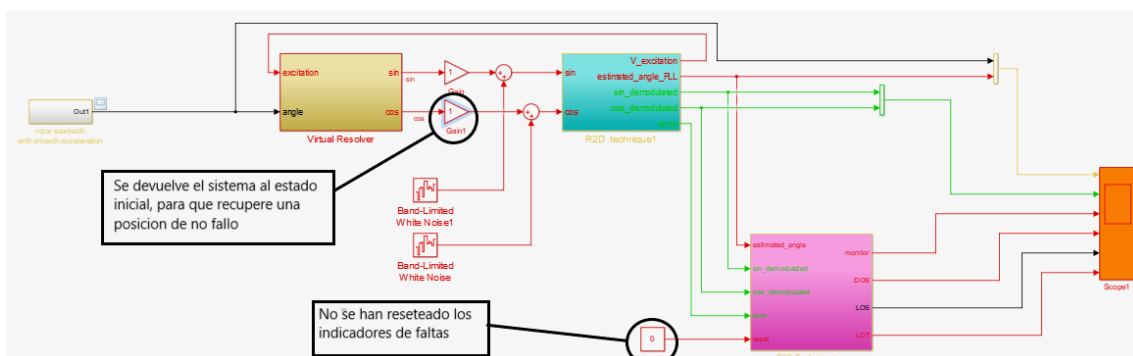


Figura 23. Reestablecer situación no fallo.

Si mediante el puerto *reset* se restablece el sistema al estado inicial de no fallo, sin resetear los indicadores, tal y como se muestra en la Figura 23, se puede observar, en la Figura 24, que la señal monitor empieza a recuperar su estabilidad y el indicador LOS se ha desactivado y ya no marca un fallo por pérdida de la señal. Al contrario, aunque el sistema se haya recuperado los indicadores DOS y LOT siguen marcando un estado de fallo y no se desactivaran hasta que el usuario manualmente inicialice todo el sistema. Cuando el usuario lleva esta acción a cabo el sistema actúa tal y como se observa en la Figura 25.



Figura 24. Recuperación del sistema sin resetear.

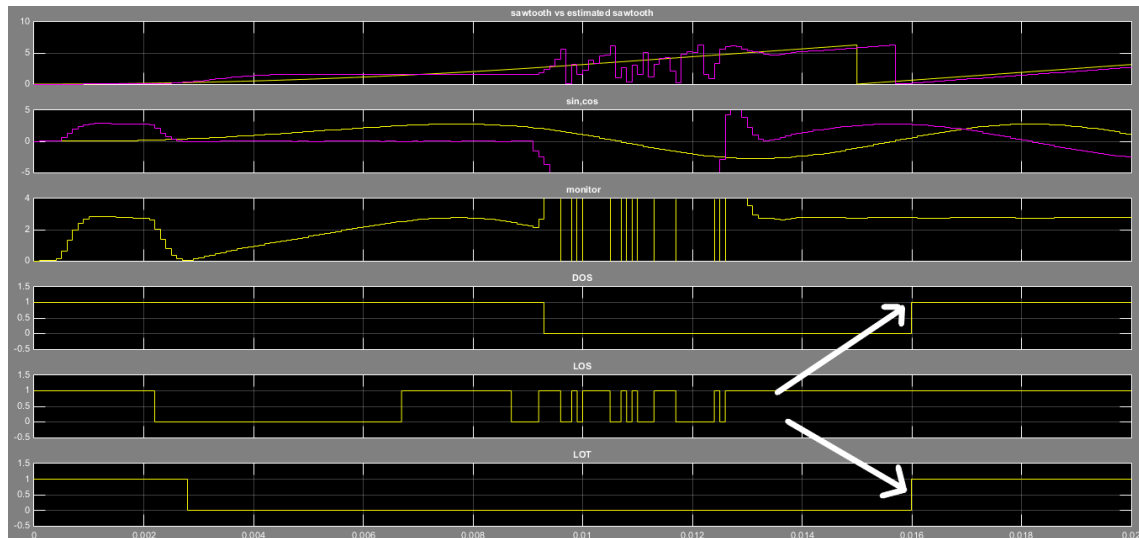


Figura 25. Recuperación del sistema con reset.

5.4. Conclusiones

Como conclusión de este apartado, cabe destacar que el algoritmo implementado y simulado en Matlab/Simulink realiza de forma apropiada la detección de todos los tipos de falta considerados. Por lo tanto, este algoritmo cumple con las especificaciones de seguridad determinadas al inicio del proyecto. Sin embargo, se trata de un modelo comportamental, a partir del cual no se puede generar el diseño hardware necesario para su implementación en la plataforma de prototipado rápido de control del grupo APERT. Por ello, en la siguiente sección se describe la implementación hardware mediante XSG y su validación.

6. SIMULACIÓN DE LA TÉCNICA IMPLEMENTADA MEDIANTE EL TOOLBOX XILINX SYSTEM GENERATOR (XSG).

6.1. Modelo general de simulación

Tras modelizar el resolver en Matlab/Simulink mediante bloques estándar, el siguiente paso ha sido implementar y simular el funcionamiento del mismo sobre la plataforma Xilinx System Generator, para posteriormente poder implementar el modelo en FPGA.

Xilinx System Generator es un ‘Toolbox’ o una aplicación que complementa el entorno Simulink, el cual añade funcionalidades específicas. Este formato de trabajo hace posible la creación de modelos de simulación que permiten, a partir de los mismos, la implementación directa de sus correspondientes diseños en FPGA. Para poder visualizar las entradas y salidas de XSG en Simulink y facilitar el proceso de depuración de errores del diseño hardware realizado, se utilizan los bloques “Gateway in” y “Gateway out”, que convierte los datos de coma fija de la FPGA (enteros de tipo booleano, FIX o UFIX) en datos de punto flotante de Matlab/Simulink, y vice versa.

Al igual que en el apartado anterior, se desarrollará el esquema de detección de faltas en un modelo que estima el ángulo de un resolver mediante sobremuestreo y el cual emplea un PLL. Los parámetros generales del sistema serán los mismos que para la simulación realizada en Simulink (Tabla 1). Por otro lado, el periodo de reloj de la FPGA se ha fijado en 10 ns.

El modelo general de la Figura 26 consta de 3 bloques principales, los cuales componen el modelo en Simulink:

1. El **resolver virtual** (Color amarillo).
2. El bloque de **estimación del ángulo** (Color verde).
3. El **detector de faltas** (Color azul).

Particularmente, la simulación se ha realizado para la situación real de aceleración del motor y sin ruido.

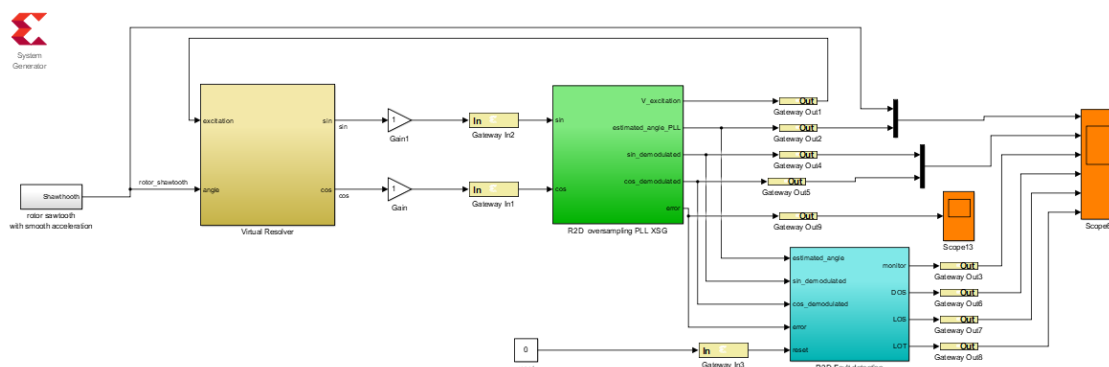


Figura 26. Modelo general de simulación en XSG.

En el bloque verde (*Resolver to digital oversampling*), se realiza la demodulación de las señales de entrada mediante bloques XSG y, posteriormente, se simula el método de determinación del ángulo basado en PLL, de donde se obtienen la velocidad angular y la posición angular.

Tal y como se ha hecho en el modelo para el modelo de Simulink, las señales de seno y coseno demodulado, la señal del ángulo estimado y el error se extraen del bloque verde para utilizarlos como entradas, junto con una señal reset (modificable manualmente), en el bloque de detección de faltas donde las salidas serán los diferentes indicadores de fallo del sistema descritos con anterioridad.

Tal y como se ha explicado anteriormente, el algoritmo basado en PLL se ha llevado a cabo en otro trabajo de fin de grado. Se ha hecho uso del modelo XSG de dicho trabajo para poder simular en dicho entorno el sistema de estimación y el de monitorización. La siguiente tabla muestra las especificaciones establecidas para el sistema resolver-to-digital.

Tabla 2. Especificaciones establecidas al inicio del proyecto para el sistema de determinación del ángulo de resolver en FPGA.

Tensión de excitación	7 V
Frecuencia de excitación	10000 Hz
Inmunidad al ruido	Alta
Tiempo de establecimiento	0.25 s
Error de seguimiento	0.05rad

6.2. Modelo de detección de faltas en XSG

Siguiendo la misma metodología que en el modelo de Simulink, el bloque de detección de faltas consta de dos bloques internos: uno genera la señal monitor y el otro bloque que compara los indicadores con sus respectivos límites.

En la Figura 27 se observa la obtención de la señal monitor. Una de las entradas necesarias para esto es la posición angular estimada del sistema, la cual hay que limitar entre los valores $-\pi$ y π para que sea posible obtener el coseno y el seno a través del bloque SINCOS basados en algoritmo de cálculo trigonométrico de tipo CORDIC.

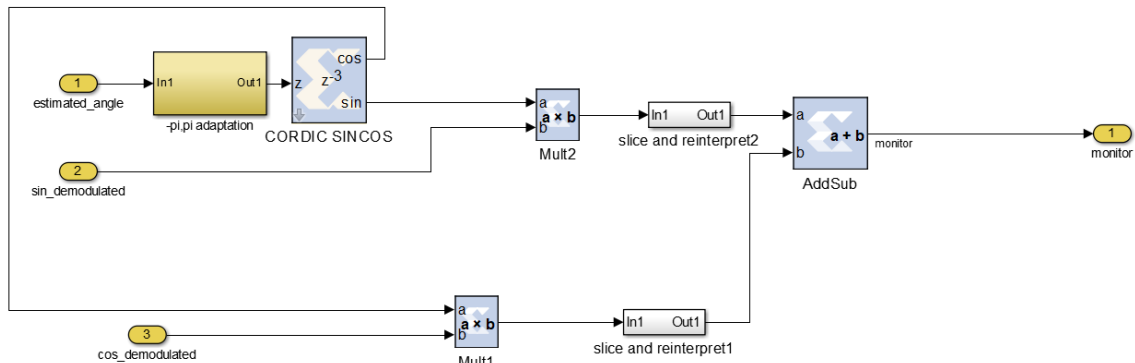


Figura 27. Diagrama de bloques del cálculo de la señal monitor en XSG.

El sistema 'slice and reinterpret' representado la Figura 28 sirve para establecer el número de bits de las señales de entrada al comparador de error con el fin de que no contengan un número de bits demasiado elevado, estableciéndolo en 24 bits, de los cuales 10 serán correspondientes a la parte decimal.

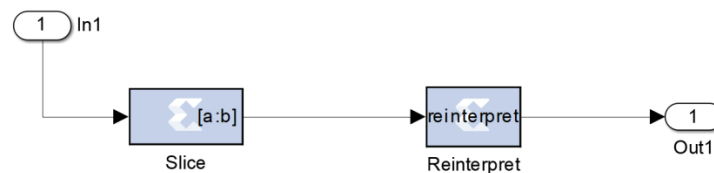


Figura 28. Sistema 'slice and reinterpret'.

La señal monitor se introduce al segundo bloque donde se utiliza para activar los indicadores LOS y DOS, como bien se ha dicho previamente. Se ha fijado una tolerancia de ± 0.2 . Si la señal monitor crece más de lo debido, el indicador DOS se activara y, si la señal disminuye, se activara el indicador

LOS. Al igual que en el modelo comportamental, los indicadores funcionan con lógica inversa. Todos los indicadores tienen un sistema que ignora el estado transitorio de la simulación (Figura 29), ya que se requiere un tiempo de convergencia para el algoritmo de estimación basado en PLL.

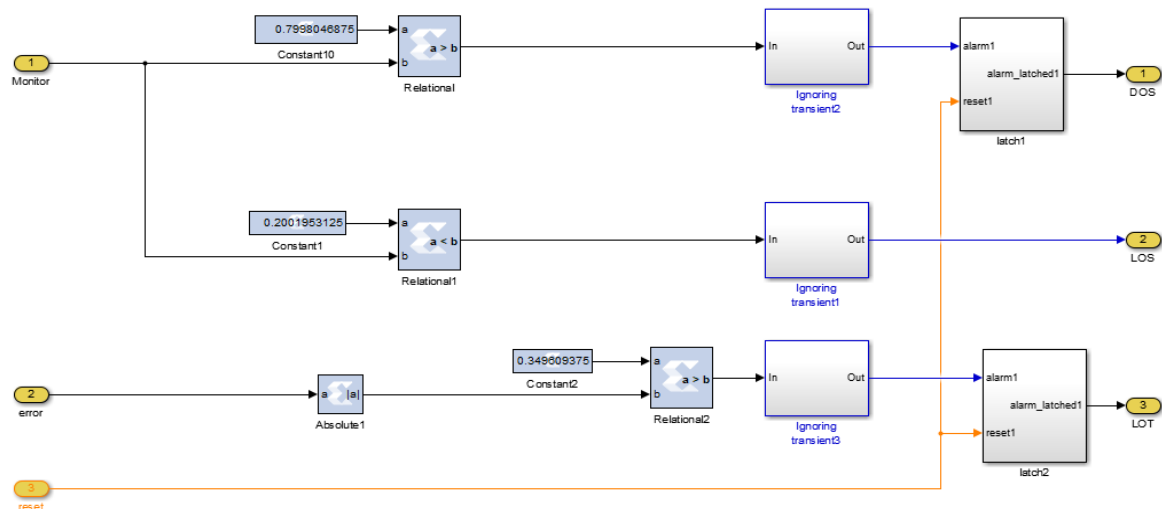


Figura 29. Diagrama de bloques de indicadores de falta en XSG.

Para lograr ignorar el estado transitorio, no es posible utilizar un bloque Clock como en el modelo de Simulink y simplemente contar el tiempo entre el inicio de la simulación y el tiempo en el cual se ha asegurado la convergencia inicial. Por ello, se ha implementado un contador hardware mediante bloques XSG, permitiendo que pase el tiempo necesario para que el algoritmo PLL realice la convergencia inicial, manteniendo así los indicadores de error en un estado de no-falta durante dicho intervalo de tiempo (Figura 30).

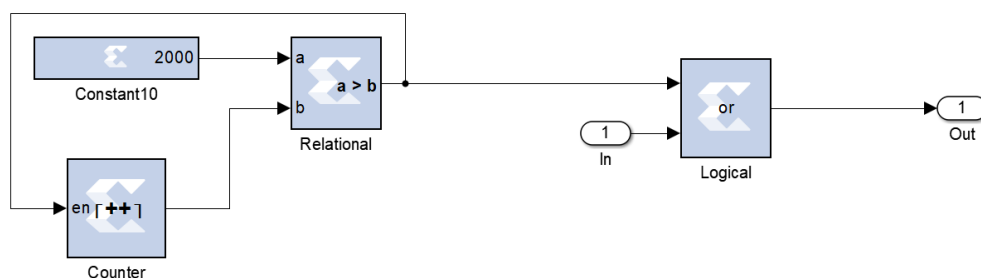


Figura 30. Diagrama de bloques para ignorar el transitorio en XSG.

Del mismo modo que en el modelo comportamental, las señales DOS y la LOT tienen que mantener sus valores de salida a la condición de falta, a pesar de que el sistema se recupere y se inicializan a un estado de no falta (si es que el sistema ya se ha recuperado) cuando el usuario configura la entrada Reset al estado 1. Esto se consigue con el bloque Latch como en Simulink.

Como se observa en la Figura 31, se ha tenido que añadir un bloque que ignora el transitorio a la realimentación del Latch. Esto se debe a que el Delay de la realimentación se inicializa en 0, lo que hace que el sistema nunca modificara su valor ya que se multiplicaba continuamente por un valor nulo.

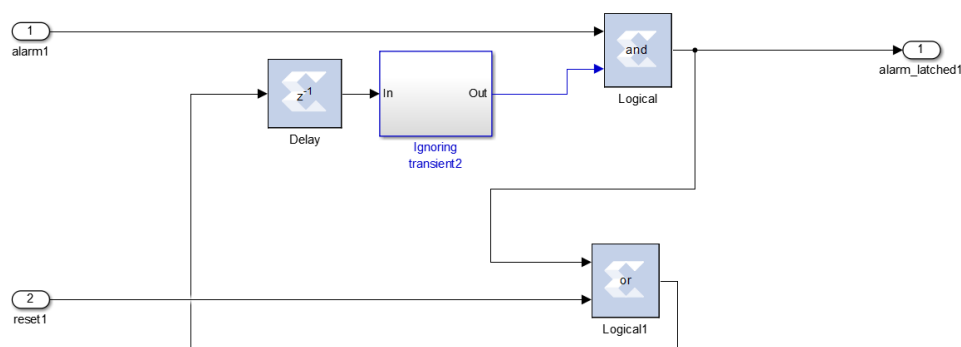


Figura 31. Diagrama de bloques del latch en XSG.

6.3. Resultados de simulación del modelo implementado en XSG

A continuación, se mostrarán varias graficas que representan el funcionamiento del sistema de monitorización en estado normal o de fallo.

En primer lugar, en la Figura 32 se observa una simulación completa con el sistema en un modo de no falta. En este modo se obtienen los resultados esperados, ya que ninguna de las señales de falta desciende a cero. Volviendo a ejecutar la simulación, una vez pasado el estado transitorio del sistema, se provoca una falta de circuito abierto en el cableado de la señal coseno de resolver, del mismo modo que en la simulación en Matlab/Simulink. En la Figura 33 se puede observar como la señal monitor se desestabiliza y desciende, provocando así que los indicadores DOS y LOS se activen.

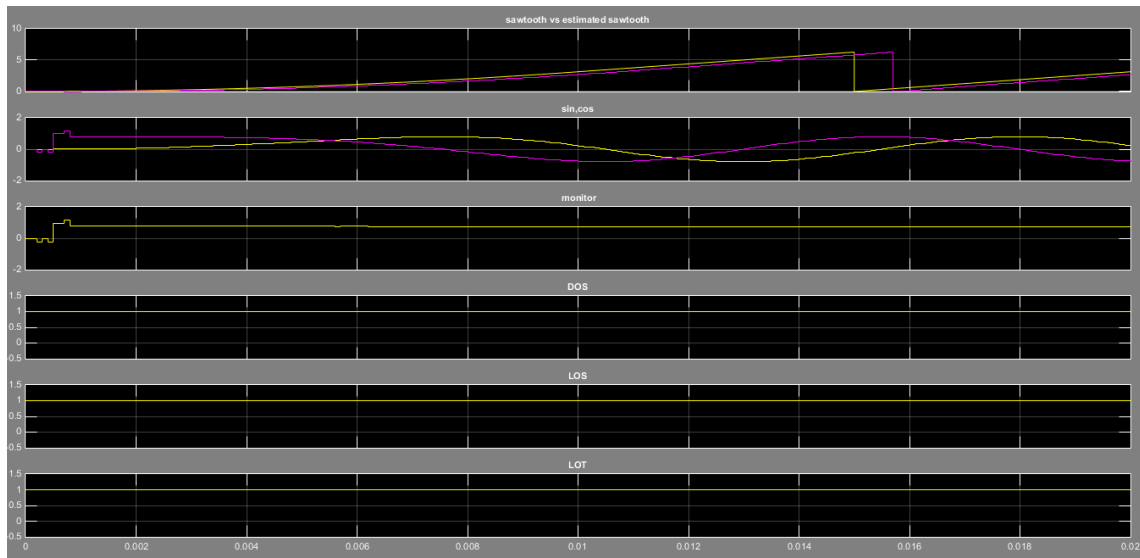


Figura 32. Estado sin falta en XSG.

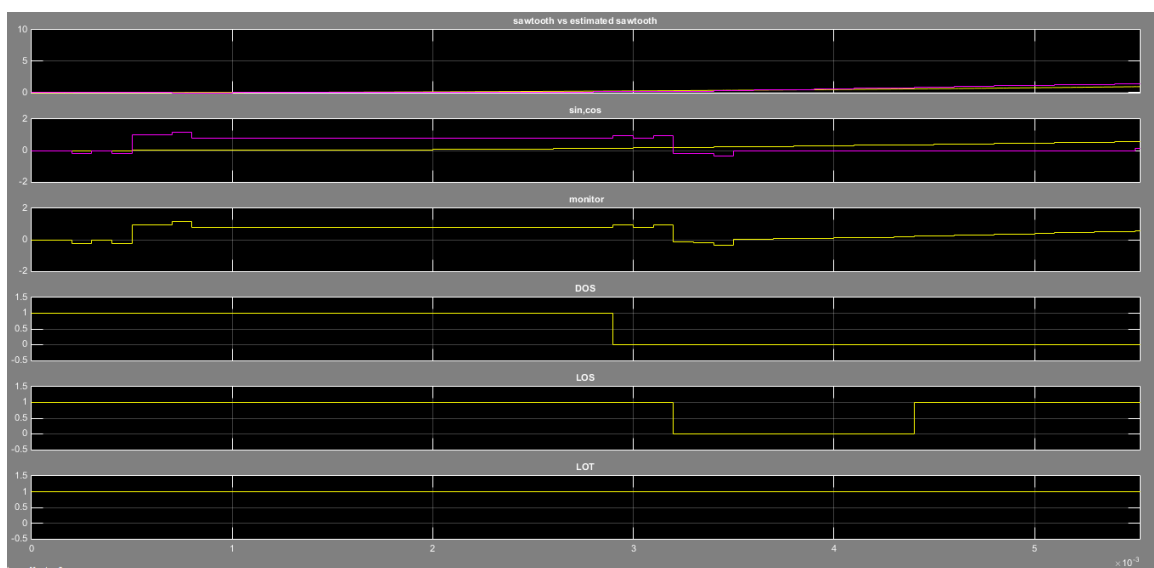


Figura 33. Grafica de fallo por circuito abierto en XSG.

Si se aumenta la ganancia que multiplica la señal coseno a unos valores desproporcionales, se crea nuevamente otro estado diferente de falta. Se observa una pérdida de seguimiento del sistema y una gran desestabilización en toda la simulación. Además, el indicador LOT se activa.

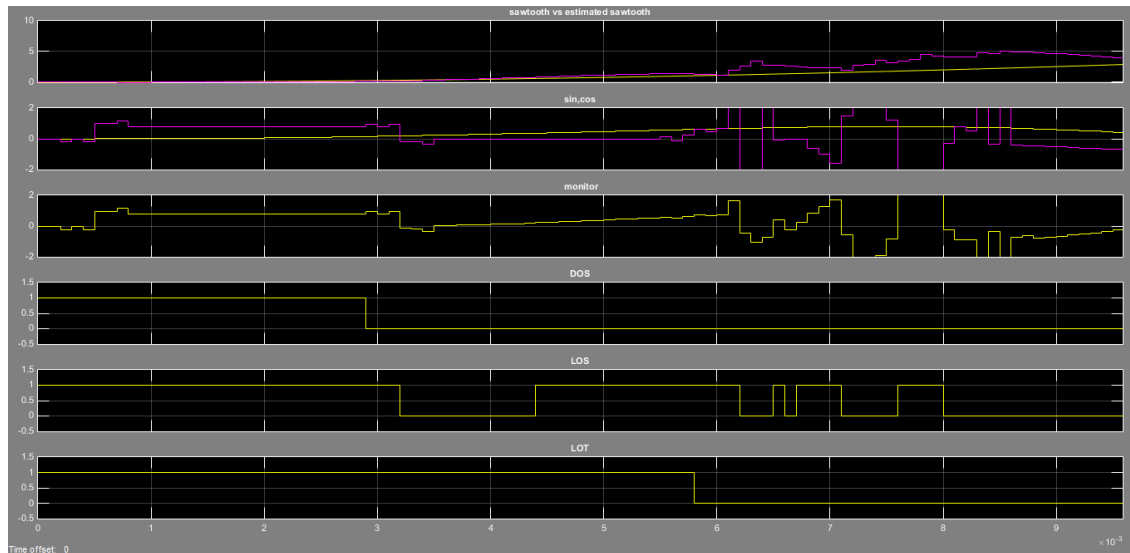


Figura 34. Gráfica de fallo por valores desproporcionales en XSG.

Si se restablece el sistema al estado inicial de no fallo y sin resetear los indicadores, se puede observar en el tramo de 0.01 segundos a 0.012 segundos de la Figura 35, que la señal monitor empieza a recuperar su estabilidad y el indicador LOS se desactiva. Aun así, aunque el sistema se haya recuperado los indicadores DOS y LOT siguen marcando un estado de falta hasta pasados los 0.012 segundos que se desactivan debido a que el usuario inicializa el sistema manualmente, igualando la señal Reset al valor binario 1.

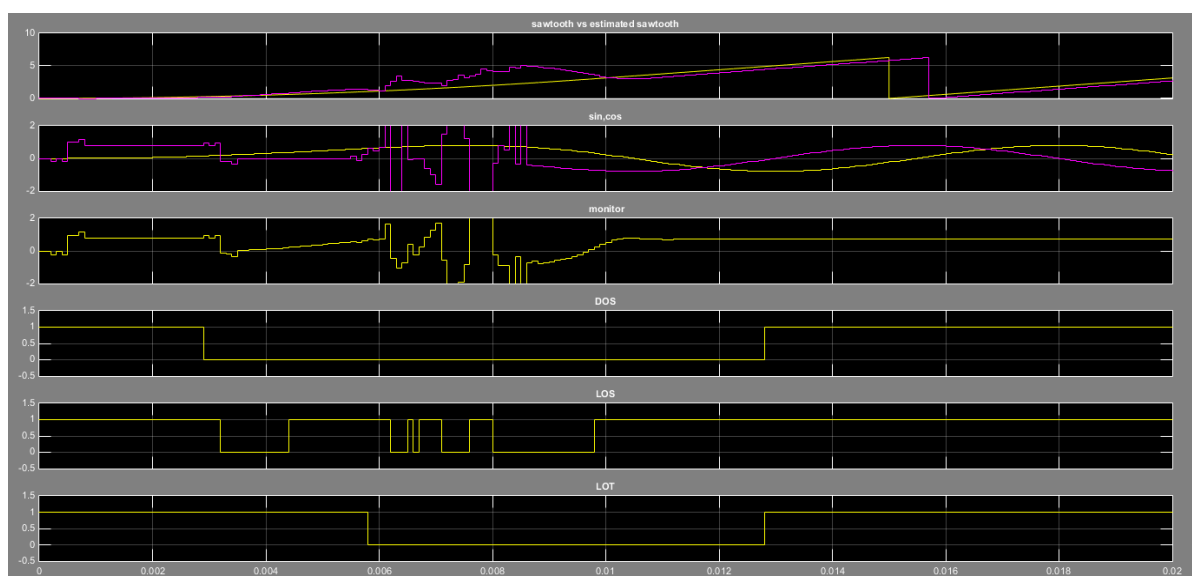


Figura 35. Recuperación del sistema en XSG.

6.4. Conclusiones

Como conclusión de este apartado, cabe destacar que las simulaciones del diseño hardware realizado mediante XSG logran los mismos resultados que el modelo comportamental desarrollado en el capítulo anterior. Por lo tanto, la implementación de la detección de faltas para la estrategia implementada en XSG para su migración a la prototipado rápido de control basado en FPGA queda validada.

7. METODOLOGÍA SEGUIDA EN EL DESARROLLO DEL TRABAJO

7.1. Descripción de tareas, fases, equipos o procedimientos

A continuación se describen las tareas necesarias y fases a seguir para conseguir los objetivos previamente definidos en este proyecto. También se describirán el equipo necesario y los procedimientos llevados a cabo.

Tarea 1. Definición de especificaciones y requisitos (semana 1).

- Descripción: En esta tarea se definirán las especificaciones del algoritmo de detección de faltas. También se definirán los límites de actuación del resolver para comprobar su correcto funcionamiento. Si fuera necesario, estas especificaciones estarán sujetas a posibles cambios a lo largo del proyecto.
- Hitos: Determinación de todos los requisitos funcionales del sistema de monitorización.
- Entregables: Documento de especificaciones (a generar por parte del director de proyecto).

Tarea 2. Estado del arte (semanas 2 a 3).

- Descripción: Se deben analizar las técnicas de detección de faltas y los diferentes indicadores para seleccionar aquellos que puedan resultar más fiables y de mayor interés para la aplicación que se está desarrollando. Para ello, se dispondrá de gran cantidad de material bibliográfico, tales como las subscripciones de la universidad a las bases de datos de bibliografía científica más relevantes (IEEEExplore y Scopus).
- Hitos: Seleccionar los diferentes indicadores de faltas a desarrollar.
- Entregables: Informe relativo al estado del arte, el cual se incluye como capítulo en este trabajo fin de grado.

Tarea 3. Formación (semanas 4, 9 y 10).

Esta tarea se divide en dos subtareas:

3.1. Formación en Simulink.

3.2. Formación en XSG.

- Descripción. Para llevar a cabo con éxito este proyecto, es indispensable familiarizarse con las herramientas de trabajo necesarias. Como el desarrollo se realiza mediante el paradigma Model Based Design (MBD), el trabajo de formación se debe centrar en desarrollar competencias avanzadas en las herramientas de simulación Matlab/Simulink y Xilinx System Generator.
- Hitos: Conseguir dominar las herramientas de trabajo Matlab/Simulink y XSG.
- Entregables: No aplica.

Tarea 4. Modelización (semanas 4 a 12).

Esta tarea se divide en tres subtareas:

- 4.1. Definición de los indicadores.
 - 4.2. Modelización en Simulink.
 - 4.3. Modelización en XSG.
- Descripción: Primero se definen los indicadores que se quieren modelar, a los que se llega una vez estudiado el estado del arte y posteriormente se realizaran las modelaciones con las herramientas Simulink y XSG, respectivamente.
 - Hitos: Obtener el modelo de detección de faltas en Simulink y Xilinx.
 - Entregables: Modelo de detección de faltas e informe explicando los pasos seguidos.

Tarea 5. Simulación y verificación (semanas 8 y 13).

Esta tarea consta de dos subtareas:

- 5.1. Simulación y verificación en Simulink.
 - 5.2. Simulación y verificación en XSG.
- Descripción: Esta tarea se centrará en la simulación del modelo de detección de faltas tanto con Matlab/Simulink como con XSG para verificar que el sistema no tienen errores y que los resultados obtenidos son coherentes y fiables.
 - Hitos: Comprobar el correcto funcionamiento del algoritmo y conseguir los resultados.
 - Entregables: Resultados de la simulación (presentados a lo largo del documento).

Tarea 6. Análisis de resultados y conclusiones (semana 14).

- Descripción: Se analizarán los resultados obtenidos en la simulación y se sacarán conclusiones en relación a ellos. Se comprobará que se ha cumplido con las especificaciones establecidas en la Tarea 1.
- Hitos: Verificar el cumplimiento de las especificaciones.
- Entregables: Informe relativo a las conclusiones.

Tarea 7. Documentación (semanas 3 a 16).

- Descripción: Esta tarea consiste en documentar el trabajo de fin de grado. Se va realizando a medida que avanza el proyecto.
- Hitos: Documentar el trabajo de fin de grado.
- Entregables: Documento del trabajo de fin de grado.

7.2. Diagrama de Gantt

En este diagrama de Gantt que se muestra en la Figura 36 se planifican las tareas anteriormente descritas. Según se han ido cumpliendo las diferentes tareas y sus respectivos hitos se ha logrado seguir la planificación previa, por lo que se concluye que ha sido la adecuada desde el inicio.

Semana de inicio: 19/03/2018

Semana final: 08/07/2018

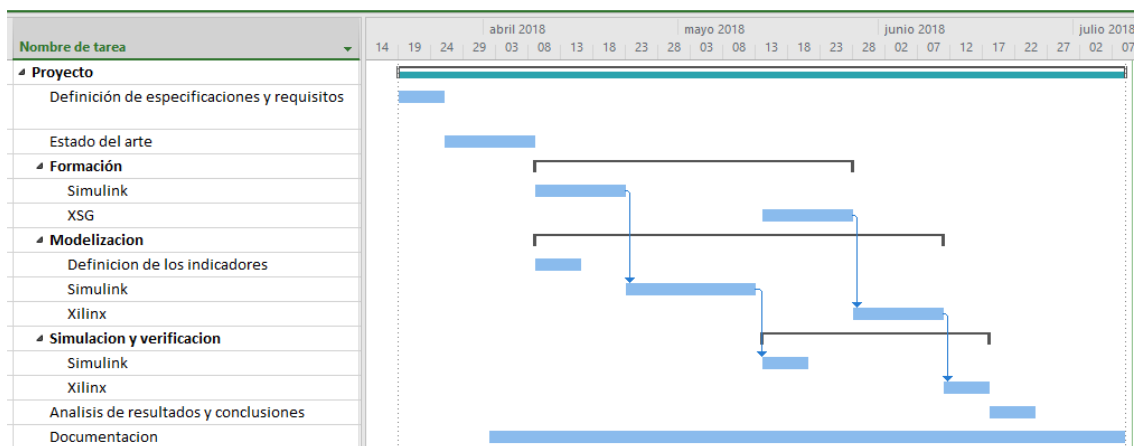


Figura 36. Diagrama de Gantt del proyecto.

8. ASPECTOS ECONOMICOS

A continuación, se describirá el presupuesto necesario para realizar el proyecto presentado anteriormente.

- **Horas internas.**

Tabla 3. Horas internas empleadas en la realización del proyecto.

Concepto	Horas empleadas	Coste unitario (€/h)	Coste (€)
HORAS INTERNAS			
Ingeniero Junior	280	30 €/h	8400 €
Director de proyecto	20	60 €/h	1200 €
		TOTAL	9600 €

- **Inversiones.** Amortización de los activos utilizados.

Tabla 4. Inversiones realizadas en activos.

Inversión	Precio inicial (€)	Vida útil	Utilización en el proyecto	Amortización
AMORTIZACIONES				
Ordenador personal	800 €	4 años	4 meses	66,67 €
Word	115 €	1 año	4 meses	38,33 €
Matlab/Simulink	1980 €	3 años	3 meses	165 €
XSG	4200 €	3 años	2 mes	233,33 €
			TOTAL	503,33€

- **Coste total del proyecto**

Tabla 5. Coste total del proyecto.

Concepto	Precio (€)
Mano de obra	9600 €
Gastos Fungibles	0 €
Amortizaciones	503,33 €
TOTAL	10 103,33 €

9. CONCLUSIONES

En los vehículos eléctricos el conocimiento de la posición exacta del rotor es necesario tal y como se ha estudiado en el estado del arte realizado en este proyecto. En este sentido, el uso de sensores rotativos, generalmente sensores de tipo resolver, sigue siendo imprescindible. Los errores en este tipo de dispositivos ponen en riesgo más que la integridad de los sistemas electrónicos de potencia que compone el sistema de propulsión. Además de ello, la seguridad de los pasajeros puede quedar comprometida. Por lo tanto, la implementación de herramientas de monitorización y detección de faltas es relevante.

Este trabajo es una parte de un proyecto más amplio, cuyo objetivo es el implementar todas las funcionalidades que ofrece un chip resolver-to-digital comercial en una FPGA. Dicha implementación será aplicable a una plataforma de prototipado rápido de control que dispone de una FPGA Xilinx. Cabe destacar que es interesante realizar esta implementación en dichos dispositivos ya que dan flexibilidad (desarrollo de nuevos algoritmos) y reducen el coste.

En uno de los trabajos paralelos que completan este proyecto se han estudiado diferentes algoritmos de control y se ha concluido que el uso del sobremuestreo junto con el PLL es el mejor algoritmo a utilizar. A este algoritmo de control se le ha implementado la detección de faltas desarrollado en este trabajo, para así garantizar la efectividad del resolver. Dicho algoritmo se ha implementado, en primer lugar, como modelo de simulación en Matlab/Simulink y posteriormente, se ha implementado exitosamente mediante el toolbox XSG de Xilinx, el cual permite la cosimulación de descripciones hardware para FPGAs en Matlab/Simulink.

Analizando los resultados obtenidos al realizar la simulación y los diferentes casos de falta, concluimos que se ha cumplido con las especificaciones establecidas y con los objetivos fijados al comienzo del trabajo.

10. BIBLIOGRAFÍA

1. *Construible*. [En línea] 17 de 06 de 2018. <https://www.construible.es/2016/06/21/la-recuperacion-economica-aumenta-un-10-las-emisiones-co2-en-espana>.
2. *Scenario analysis of lightweight and electric-drive vehicle market penetration in the long-term and impact on the light-duty vehicle fleet*. **Gonzalez Palencia, J., y otros, y otros**. 1444-62, s.l. : Appl Energy, 2017, Vol. 204.
3. Insider. [En línea] [Citado el: 19 de 03 de 2018.] <https://es.insider.pro/technologies/2017-04-28/las-petroleras-estan-restringidas-los-coches-electricos-son-el-futuro/>.
4. *Analysis of CO2 emissions and techno-economic feasibility of an electric commercial vehicle*. **Rodrigues, A., Moreira, E. y Sodr , J.** 297-307, s.l. : Appl Energy, 2017, Vol. 193.
5. Ro-des. [En línea] [Citado el: 09 de 03 de 2018.] <https://www.ro-des.com/mecanica/motores-electricos/>.
6. *El v h culo el ctrico analisis de su infraestructura de cara y su integraci n a una smart grid*. **Fernandes Palomeque, Efren**. Ecuador : s.n., 2015. Confreso Internacional Sostenibilidad Energ tica.
7. Ecconex. [En l nea] [Citado el: 17 de 06 de 2018.] <http://ecconex.com/blog/cocheselectricosbeneficiosmedioambientalesybarrerastecnoeconomicas.html>.
8. *Study and comparison of several permanent magnet excited rotor types regarding the applicability in electric vehicles*. **Finken, T., Hombitzer, M. y Hameyer, K.** Emobility - Electrical Power Train Conference : s.n., 2010.
9. *Automotive Electric Propulsion Systems With Reduced or No Permanent Magnets: An Overview*. **Boidea, I., y otros, y otros**. 10, s.l. : IEEE Transactions on Industrial Electronics, 2014, Vol. 61.
10. *Optimization of an 80-kW Segmental Rotor Switched Reluctance Machine for Automotive Traction*. **Widmer, J.D., Martin, R. y Mecrow, B.C.** 4, s.l. : IEEE Transactions on Industry Applications, 2015, Vol. 51.
11. **Rodr guez Arribas, Jaime y Lafoz Pastor, Marcos**. La tecnolog a de los motores el ctricos en v h culos.
12. **Prentince, Michael**. *Resolvers 101, understanding the basics*. Dynapar Corporation.
13. OPAL-RT TECHNOLOGIES. [En l nea] [Citado el: 13 de 05 de 2018.] <https://www.opal-rt.com/rapid-control-prototyping/>.
14. OPAL-RT TECHNOLOGIES. [En l nea] [Citado el: 13 de 05 de 2018.] <https://www.opal-rt.com/simulator-platform-op4510/>.
15. De m quinas y herramientas. [En l nea] Mayo de 2017. [Citado el: 13 de 04 de 2018.] <http://www.demaquinasyherramientas.com/mecanizado/encoder-tipos>.

16. Encoder. [En línea] [Citado el: 17 de 06 de 2018.] <http://encoder.com/>.
17. *Minebeamitsumi*. [En línea] [Citado el: 17 de 07 de 2018.] <http://www.minebeamitsumi.com/english/strengths/column/resolver/index.html>.
18. *Systematic error cancellations and fault detection of resolver angular sensors*. **Santanu Sarma, A. Venkateswaralu**. 1303–1312, s.l. : Elsevier - Mechatronics, 2009, Vol. 19.
19. **A. Murray, B. Hare, A. Hirao**. *Resolver Position Sensing System With Integrated Fault*. s.l. : IEEE, 2002.
20. **Analog Devices, Inc.** *Variable Resolution, 10-Bit to 16-Bit R/D. AD2S1210 USA*, 2008–2010.
21. Research gate. [En línea] 17 de 06 de 2018. https://www.researchgate.net/figure/Simplified-diagram-of-the-conventional-PLL-resolver-converter_fig2_261154821.
22. *New Sliding-Mode Observer for Position Sensorless Control of Permanent-Magnet Synchronous Motor*. **Qiao, Z., y otros, y otros**. 710-9, s.l. : IEEE Trans Ind Electron, 2013, Vol. 60(2).
23. *The best way how to use resolvers*. **H.Logé y L.Angerpointner**. 2011. Proc. of the International Electric Dirces Propulsion Conference (EDPC).
24. **Verma, Ankur y Chellamuthu, Anand**. *Design considerations for resolvers-to-digital converters in electric vehicles*. Texas Instruments. 2016.
25. *An overview of the relver interface for motor control applications*. **Chalupa, Leos**. 2014. Freescale Technology forum.
26. *TMS320F240 DSP Solution for Obtaining Resolver Angular Position and Speed*. **Staebler, Martin y Verma, Ankur**. Agosto de 2017, Texas Instrument.
27. Encoder products company. [En línea] 16 de Junio de 2016. [Citado el: 13 de 04 de 2018.] <http://encoder.com/blog/encoder-basics/que-es-un-encoder/>.
28. *Diseño basado en modelos de sistmeas de control: simulación y pruebas previas a la implementación en hardware*. 2013.
29. *Position and Speed Control of Brushless DC Motors Using Sensorless Techniques and Application Trends*. **Gamazo-Real, J.C., Vazquez-Sanchez, E. y Gomez-Gil, J.** 6901-6947, 2010, Vol. 10(7).